

CLC020

CLC020 SMPTE 259M Digital Video Serializer with Integrated Cable Driver



Literature Number: JAJ628

ご注意：この日本語データシートは参考資料として提供しており、内容が最新でない場合があります。製品のご検討およびご採用に際しては、必ず最新の英文データシートをご確認ください。



2003年7月

CLC020

SMPTE 259M デジタル・ビデオ・シリアライザ (ケーブル・ドライバ内蔵)

概要

ケーブル・ドライバを内蔵した CLC020 SMPTE 259M デジタル・ビデオ・シリアライザは、SMPTE 125M および SMPTE 267M コンポーネント・ビデオ規格、SMPTE 244M コンポジット・ビデオ規格に準拠したビットパラレル・デジタル・データのエンコード、シリアライズ、伝送を行うモノリシック集積回路です。CLC020 では、それ以外の 8 ビットまたは 10 ビットのパラレル・データもシリアライズできます。CLC020 は、100Mbps 未満から 400Mbps を超えるデータ・レートで動作します。シリアル・データ・クロック周波数が内部生成されるため、周波数設定用の外付け部品がなくてもタイミングやフィルタリングが行えます*。CLC020 の機能としては、パラレルからシリアルへのデータ変換、多項式 ($X^9 + X^4 + 1$) を利用したデータ・エンコーディング、NRZ から NRZI へのデータ・フォーマット変換、パラレル・データ・クロック周波数の通信化とシリアル・データによるエンコーディング、同軸ケーブル出力などがあります。同期 (TRS) 検出を無効にする入力端子と PLL ロック検出用の出力端子が用意されています。CLC020 は、専用の組み込み型自己診断 (BIST) 機能とビデオ・テスト・パターン・ジェネレータ (TPG) を搭載しています。この TPG は、4 種類のコンポーネント・ビデオ・テスト・パターン、基準黒色、PLL パンロジカルと EQ パンロジカル、改良形カラー・バーを備えており、4:3 と 16:9 のラスタだけでなく、NTSC と PAL の両フォーマットにも対応しています*。電源端子が、出力ドライバ用、VCO 用、デジタル・ロジック用にそれぞれ独立しているため、電源電圧除去比、出力ジッタ、ノイズ性能が改善されています。

CLC020 は、CLC011B SMPTE 259M シリアル・デジタル・ビデオ・デコーダ、CLC014 アクティブ・ケーブル・イコライザ、CLC016 データ・リタiming PLL (クロックデータ・セパレータ)、CLC018 8X8 デジタル・クロスポイント・スイッチ、CLC006 または CLC007 ケーブル・ドライバと組み合わせると、パラレル - シリアル - パラレル変換機能を備えた高速データ処理 / 伝送システムが構築できます。

CLC020 の電源には単一 5V 電源を使用します。消費電力は、75 のバックマッチング用出力負荷を 2 個含めて 235mW (代表値) です。本デバイスは JEDEC 28 ピン PLCC パッケージで供給されます。

特長

- SMPTE 259M シリアル・デジタル・ビデオ規格準拠シリアル・データ・レート設定用 / VCO フィルタリング用の外付け部品が不要 (*)
- 組み込み型自己診断 (BIST) 機能、16 種類の内部パターンを持つビデオ・テスト・パターン・ジェネレータ (TPG)*
- NTSC 規格、PAL 規格のいずれについても、コンポーネント信号とコンポジット信号のすべてのシリアル・ビデオ・データ・レートに対応
- HCMOS/TTL 互換のデータ / 制御信号の入出力
- 75 ECL 互換の差動シリアル・ケーブル・ドライバ出力
- 短時間での VCO ロック (75 μ s 未満)
- 単一の +5V TTL 電源、-5V ECL 電源のいずれでも動作
- 低消費電力 (代表値 235mW)
- 28 ピン PLCC パッケージ
- 民生用途での温度範囲 0 ~ +70

アプリケーション

SMPTE 259M 準拠のパラレル - シリアル変換用デジタル・ビデオ・インタフェース。次のような用途を目的とします。

ビデオ・カメラ

VTR

テレシネ

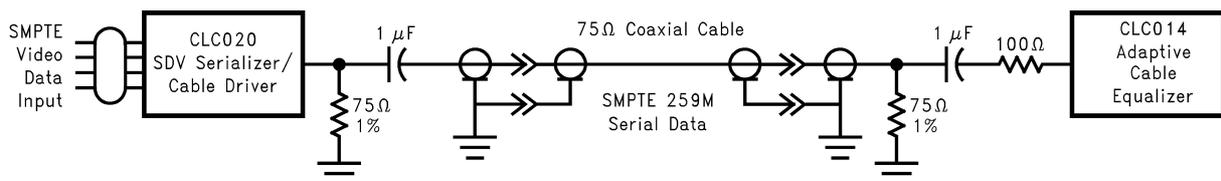
ビデオ・テスト・パターン・ジェネレータおよびデジタル・ビデオ試験装置

SMPTE 非対応のビデオ・アプリケーション

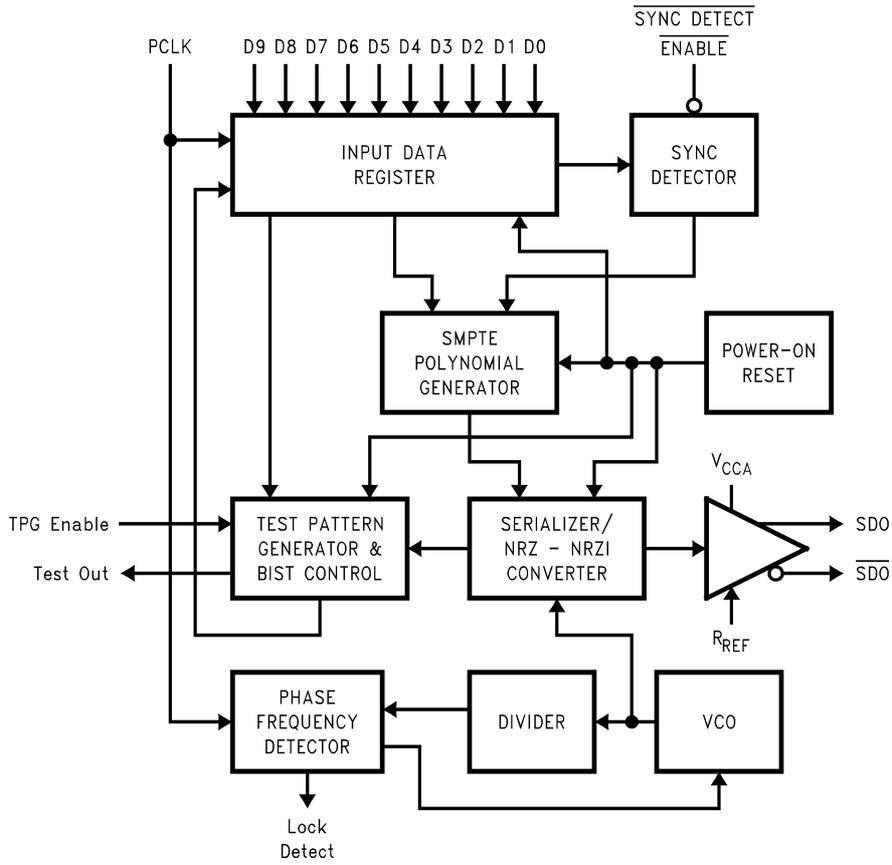
その他、高速データ・レートでパラレル - シリアル変換を必要とするビデオ・システム、データ・システムなど

* 特許出願済み、または特許出願中

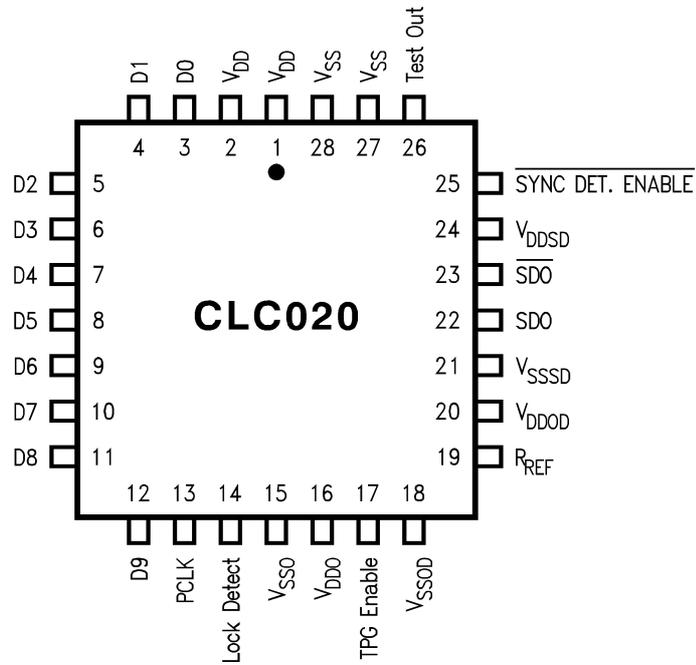
代表的なアプリケーション



ブロック図



ピン配置図



28-Pin PLCC
Order Number CLC020BCQ
See NS Package Number V28A

絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電気的信頼性試験方法の規格を参照ください。

電源電圧 ($V_{DD} - V_{SS}$)	6.0V
CMOS/TTL 入力電圧 (V_I)	- 0.5V ~ ($V_{DD} + 0.5V$)
CMOS/TTL 出力電圧 (V_O)	- 0.5V ~ ($V_{DD} + 0.5V$)
CMOS/TTL 入力電流 (単一入力)	
$V_I = V_{SS} - 0.5V$	- 5 mA
$V_I = V_{DD} + 0.5V$	+ 5 mA
入力電流、その他の入力	± 1 mA
CMOS/TTL 出力のソース/シンク電流	± 10 mA
SDO 出力ソース電流	20 mA
パッケージ熱抵抗	
J_A 28 P PLCC	85 /W
J_C 28 P PLCC	35 /W
保存温度範囲	- 65 ~ + 150

接合部温度	+ 150
リード温度 (ハンダ付け 4 秒)	+ 260
ESD 定格 (人体モデル)	> 2.5 kV
ESD 定格 (マシン・モデル)	> 200 V
トランジスタ数	33,400

推奨動作条件

電源電圧 ($V_{DD} - V_{SS}$)	5.0V \pm 10%
CMOS/TTL 入力電圧	$V_{SS} \sim V_{DD}$
P_{CLK} 周波数範囲	10 ~ 40MHz
P_{CLK} デューティ・サイクル	45 ~ 55%
D_N および P_{CLK} の立ち上がり/立ち下り時間	1.0 ~ 3.0 ns
SDO 端子での最大 DC バイアス	3.0V \pm 10%
動作周囲温度 (T_A)	0 ~ + 70

DC 電気的特性

特記のない限り、推奨動作条件の電源電圧および動作温度範囲を適用 (Note 2, 3)

Symbol	Parameter	Conditions	Reference	Min	Typ	Max	Units
V_{IH}	Input Voltage High Level		D0 through D9,	2.0		V_{DD}	V
V_{IL}	Input Voltage Low Level		P_{CLK} , TPG_EN and Sync. Detect Enable	V_{SS}		0.8	V
I_{IH}	Input Current High Level	$V_{IH} = V_{DD}$		+ 40	+ 60	μ A	
I_{IL}	Input Current Low Level	$V_{IL} = V_{SS}$		- 1	- 20	μ A	
V_{OH}	CMOS Output Voltage High Level	$I_{OH} = - 10$ mA	Lock Detect, Test Out	2.4	4.7	V_{DD}	V
V_{OL}	CMOS Output Voltage Low Level	$I_{OL} = + 10$ mA		0.0	0.3	$V_{SS} + 0.5V$	V
V_{SDO}	Serial Driver Output Voltage	$R_L = 75 \text{ } 1\%$, $R_{REF} = 1.69 \text{ k } 1\%$, FIGURE	SDO, \overline{SDO}	700	800	900	mV _{P-P}
I_{DD}	Power Supply Current, Total	$R_L = 75 \text{ } 1\%$, $R_{REF} = 1.69 \text{ k } 1\%$, $P_{CLK} = 27$ MHz, Figure 2, NTSC Colour Bar Pattern			47	60	mA

AC 電気的特性

特記のない限り、推奨動作条件の電源電圧および動作温度範囲を適用 (Note 3)

Symbol	Parameter	Conditions	Reference	Min	Typ	Max	Units	
BR_{SDO}	Serial data rate	$R_L = 75 \text{ } \Omega$, AC coupled, (Note 5)	SDO, \overline{SDO}	100		400	Mbps	
F_{PCLK}	Reference Clock Input Frequency		P_{CLK}	10		40	MHz	
	Reference Clock Duty Cycle		P_{CLK}	45	50	55	%	
t_r, t_f	Rise time, Fall time	10%– 90%	D_N, P_{CLK}	1.0	1.5	3.0	ns	
t_j	Serial output jitter	270 Mbps, Figure 2, (Note 6)	SDO, \overline{SDO}		220		pSp-P	
t_{jit}	Serial output jitter	(Note 4, 5)			100	200	pSp-P	
t_r, t_f	Rise time, Fall time	20%– 80%, (Note 4, 5)			500	800	1500	ps
	Output overshoot					1		%
t_{LOCK}	Lock time	270 Mbps, (Note 5, 7)			75		μ s	
t_{SU}	Setup time	Figure 3	D_N to P_{CLK}	3	2		ns	

AC 電気的特性 (つづき)

特記のない限り、推奨動作条件の電源電圧および動作温度範囲を適用 (Note 3)

Symbol	Parameter	Conditions	Reference	Min	Typ	Max	Units
t_{HLD}	Hold time	Figure 3	D_N from P_{CLK}	1.5	1		ns
L_{GEN}	Output inductance	(Note 4)	SDO, \overline{SDO}		6		nH
R_{GEN}	Output resistance	(Note 4)			25k		

Note 1: 「絶対最大定格」とは、その値を超えた場合にデバイスの寿命と動作が保証できない値のことです。絶対最大定格の上限以上または下限以下でデバイスを動作させることが可能であると動作させるべきであるとかということではありません。デバイスの許容動作条件は「電気的特性」の表に規定されています。

Note 2: デバイス端子に流れ込む電流を正と定義します。デバイス端子から流れ出す電流を負と定義します。すべての電圧は、 $V_{SS} = 0V$ を基準として示しています。

Note 3: 代表値は、 $V_{DD} = +5.0V$ 、 $T_A = +25$ のときの値です。

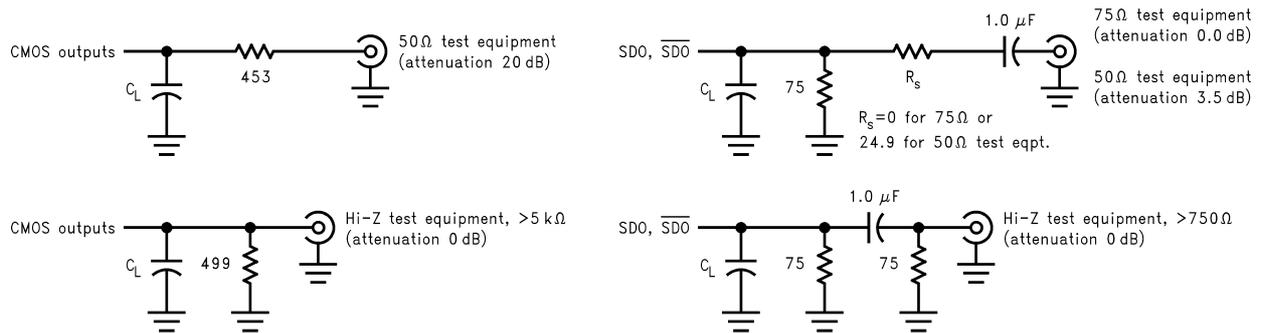
Note 4: 仕様は設計により保証されています。

Note 5: $R_L = 75$ 、270Mbps で AC 結合、 $R_{REF} = 1.69k$ 1%。「試験用負荷」と Figure 2 を参照。

Note 6: CLC020 を SD020EVK 基板に実装し、Tektronix TG2000 のブラックバースト基準信号から得た $P_{CLK} = 27MHz$ を使用して BIST モードに設定。タイミング・ジッタは、Tektronix VM700T をジッタ測定 FFT モード、フレーム・レート、1kHz フィルタ帯域幅、ハニング窓にして測定。

Note 7: 最初の P_{CLK} サイクルの立ち上がりから、ロック検出出力が HIGH (真) になるまでの時間を測定。

試験用負荷



C_L represents probe and test fixture capacitance.

抵抗値の単位はすべて Ω とし、公差は 1% とします。

FIGURE 1. Test Loads

試験用負荷 (つづき)

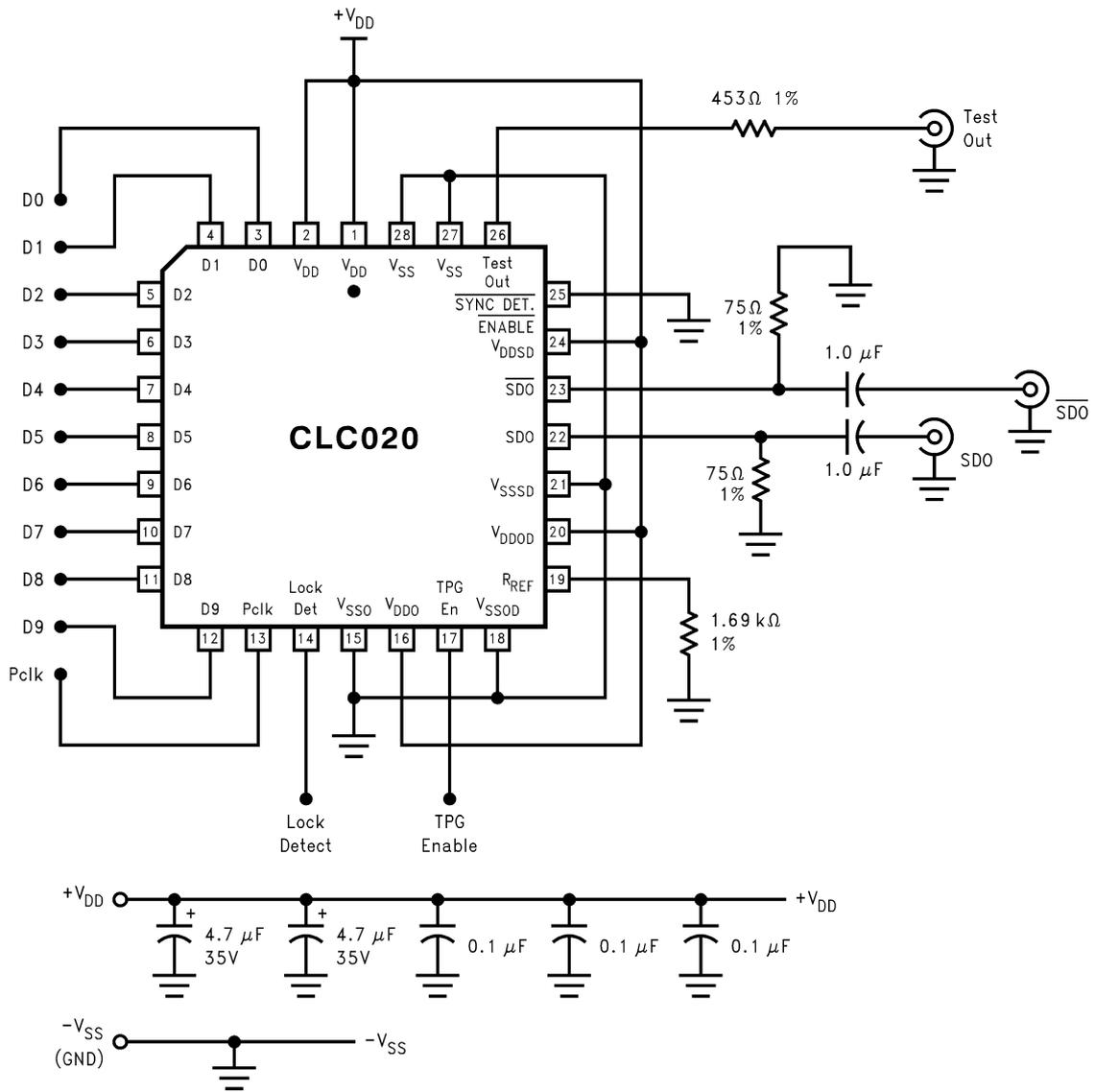


FIGURE 2. Test Circuit

タイミング図

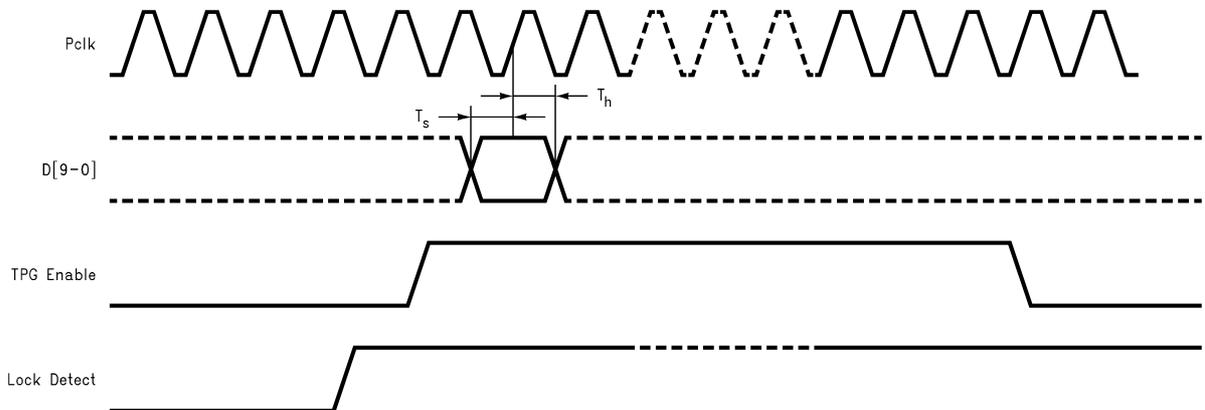


FIGURE 3. Setup and Hold Timing

デバイスの動作

CLC020 SMPTE 259M デジタル・ビデオ・シリアルライザは、カメラ、ビデオ・テープ・レコーダ、テレビ、ビデオ試験装置など、デジタル・ビデオ信号の生成 / 処理装置に使用します。これはコンポーネントまたはコンポジットの平行・デジタル・ビデオ信号をシリアル・フォーマットに変換する装置です。この装置のロジック・レベルは、CMOS またはバイポーラ・ロジックのデバイスから発生する通常の TTL と互換性があります。エンコーダからは、SMPTE 259M-1997 に準拠した ECL 互換シリアル・デジタル・ビデオ (SDV) 信号が出力されます。CLC020 は、SMPTE および ITU-R の標準的な平行・データ・レートのすべてで動作します。

ビデオ・データ処理回路

入力データ・レジスタ部は、CMOS/TTL 互換信号レベルを持つ 8 ビットまたは 10 ビットの平行・データとクロック信号を受信します。平行・データは、SMPTE 125M、SMPTE 267M、SMPTE 244M、ITU-R BT.601 といった規格類に準拠したものになる場合があります。8 ビットのデータは、入力されるデータの種別に応じて 10 ビット表現に変換されます。データの種別は、コンポーネント 4:2:2 (SMPTE 259M パラグラフ 7.1.1 準拠)、コンポジット NTSC (パラグラフ 8.1.1 準拠)、コンポジット PAL (パラグラフ 9.1.1 準拠) のいずれかになります。このレジスタ部からの出力が、SMPTE 多項式ジェネレータ / シリアルライザと同期検出部に供給されます。 P_{CLK} 入力も含めてすべての CMOS 入力には、内蔵プルダウン・デバイスが付いています。

同期検出部 (TRS キャラクタ検出器とも呼ばれる) は、入力レジスタからデータを受信します。検出機能は、Sync Detect Enable で制御します。この信号は、LOW レベルを真とする TTL 互換の外部入力信号です。同期ワードであるタイミング基準信号 (TRS) には、有効映像期間の開始を示す SAV と有効映像期間の終了を示す EAV があり、SMPTE 125M-1995 および 244M に規定されています。同期検出部から出た制御信号は、SMPTE 多項式ジェネレータに送られます。この制御信号は、有効なビデオ・データがあるかないかを識別するものです。同期検出部は、ITU-R-BT.601 の規定に従って、入力 TRS キャラクタの LSB クリッピングを実行します。LSB クリッピングが実行されると、000h から 003h までの値を持つすべての TRS キャラクタが 000h の値になり、3FCh から 3FFh までの値を持つすべての TRS キャラクタが 3FFh になります。クリッピングはエンコーディングの前に実行されます。

SMPTE 多項式ジェネレータは、平行・ビデオ・データを受信し、SMPTE 259M-1997 のパラグラフ 5 と付録 C の規定に従って、 $X^9 + X^4 + 1$ という多項式を用いてその平行・データのエンコーディングを実行します。次に、そのスクランブル化されたデータがシリアルライズされ、出力されます。

NRZ-NRZI 変換部は、SMPTE 多項式ジェネレータから出力されたシリアル NRZ データを受信し、SMPTE 259M-1997 のパラグラフ 5.2 および付録 C の規定に従って、 $X + 1$ の多項式を用いてそのデータを NRZI に変換します。送信ビットの順番は、パラグラフ 6 に従って LSB が先頭にきます。この変換部からの出力が出力ドライバ・アンプに供給されます。

フェーズロック・ループおよび VCO

フェーズロック・ループ (PLL) システムは、平行・データ・クロック周波数を 10 通倍して出力シリアル・データ・クロックを生成します。このシステムは、VCO、ドライバ・チェーン、位相周波数検出器、内蔵ループ・フィルタから構成されています。VCO の自由作動周波数は内部設定されます。PLL は、平行・データ・クロック (P_{CLK}) 周波数を基準信号に用いて、シリアル・クロック・レートに合った周波数を生成します。ループ・フィルタ処理は CLC020 の内部で実行されます。VCO には、 V_{SSO} と V_{DDO} の独立した電源端子 (端子 15、16) があり、必要な場合は外付けのロー・パス・フィルタを介して別々に電力の供給ができます。PLL のアキュジション (ロック) 時間は、270Mbps のとき 75 μ s 未満です。

ロック検出

位相周波数検出器のロック検出出力は、PLL のロック状態を示すものです。ループがロックした場合はロジック HIGH になります。出力は CMOS/TTL 互換であり、ほかの CMOS デバイスや LED 表示装置の駆動に使用できます。

シリアル・データ出力バッファ

電流モードのシリアル・データ出力部は、スキューの少ない相補 (差動) 信号を出力します。この出力バッファは、75 同軸ケーブル (AC 結合)、10k/100k ECL/PECL 互換デバイス (DC 結合) のいずれも駆動できます。出力レベルは、AC 結合した 75 のバックマッチング用負荷の場合は、 $800mV_{P-P} \pm 10\%$ です。DC 結合した 75 の場合の出力レベルは $400mV_{P-P} \pm 10\%$ です。詳細は、アプリケーション情報を参照してください。SDO 出力に接続する 75 の抵抗はバックマッチング用の抵抗です。直列のバックマッチング用抵抗は使用しません。SDO の出力レベルは、端子 19 に接続する R_{REF} の値で制御します。通常、 R_{REF} の値は $1.69k \pm 1\%$ です。デバイスがロックの外れた状態にあるとき、出力バッファは活動を停止します。シリアル出力ドライバは、 V_{SSD} (端子 21) と V_{DDSD} (端子 24) の独立した電源端子から電力の供給を受けます。

パワーオン・リセット

CLC020 には、自動内部制御方式のパワーオン・リセット回路が備えられています。この回路は、ラッチ、レジスタ、カウンタ、多項式ジェネレータをすべて含めた TRS 検出回路を初期状態に戻し、シリアル出力を無効にするものです。SDO 出力は、パワーオン・リセットのあいだは TRI-STATE 状態にされます。この回路部は、平行入力クロックが与えられるまでリセット状態のままとなります。

電源電圧が V_{DDmin} に達してから少なくとも 30 μ s が経過するまでは、 P_{CLK} にクロック信号を与えないようにしてください。Figure 4 を参照してください。

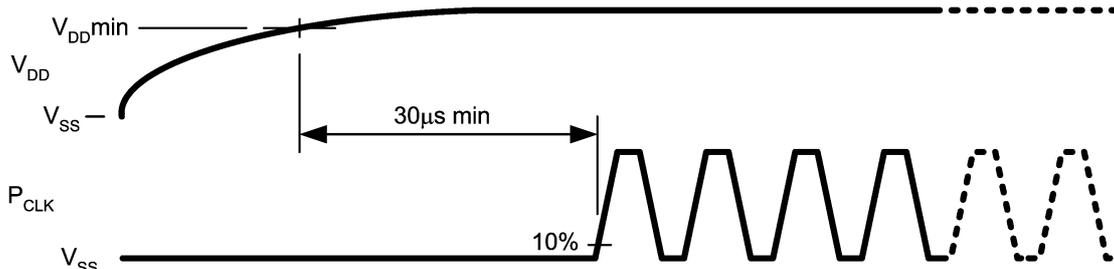


FIGURE 4. Power-On Reset Sequence

デバイスの動作 (つづき)

組み込み型自己診断 (BIST) 機能

CLC020には組み込み型自己診断(BIST)機能が付いています。BISTは、デバイスでの処理を続行するか中断するかといった内容について広範囲に試験を実行します。この試験では、テスト・データ・パターンとして、NTSCの場合はフルフィールド・カラー・バーを利用し、PALの場合はPLLパソロジカルを利用します。データは入力データ・レジスタ部に内部供給され、デバイス全体を通して処理され、エラーがないかどうか検査されます。Table 1に、デバイス端子の各機能を示します。Table 2には、それぞれの機能に使用するテスト・パターン・コードを示します。Test_Output (端子 26)の信号レベルにより、正常か異常かがわかります。

BISTを開始するときは、目的のBISTに必要なコードをD0からD3(D9からD4は00h)に供給し、P_{CLK}入力端子に27MHzのクロックを供給します。すべてのパラレル・データ入力端子には内蔵プルダウン・デバイスが付いているため、ロジック1を必要とするD0からD3までの入力端子だけをHIGHレベルにプルアップする必要があります。VCOが周波数にロックされ、それを受けてLock_Detect出力がHIGH(真)になると、TPG_Enable(端子17)がロジックHIGHになります。BISTの処理を自動化するため、TPG_Enableを一時的にLock_Detect出力に接続してもかまいません。Test_Output(端子26)をモニタすると、正常か異常かがわかります。エラーが検出されなかった場合、この出力は、TPG_EnableがHIGHになった後、約2フィールドの間ロジックHIGHになります。CLC020の内部回路にエラーが検出された場合は、試験を終了するまでTest_OutputはLOWのままとなります。BISTを終了するときは、TPG_EnableをロジックLOWにします。この試験中、シリアル・データ出力端子からは連続して信号が出力されます。

テスト・パターン・ジェネレータ

CLC020の大きな特長は、オンボード式のテスト・パターン・ジェネレータ(TPG)を備えていることです。NTSCとPALの両規格と、ラスタ・サイズ4×3、16×9に合致したフルフィールド・コンポーネント・ビデオ・テスト・パターンが4種類生成されます。テスト・パターンとしては、フラットフィールド・ブラック、PLLパソロジカル、イコライザ(EQ)パソロジカル、75%の8色改良型垂直バー・パターンがあります。パソロジカルは、使用するテスト・データに関して SMPTE RP 178-1996の勧告に従っています。カラー・バー・パターンは、各バーからバーへ移行するときに、クロマおよびルマのデータの中に、帯域幅制限用のコーディングを含みません。このような理由から、帯域外周波数のコンポーネント信号の生成が制限されるようにして測定を行わない限り、ビジュアル・テスト・パターンとしての用途や、ビデオ用D-Aコンバータへの入力用には向かないことがあります。

TPGを動作させるときは、目的のテスト・パターンに必要なコードをD0からD3(D4からD9は00h)に供給します。すべてのパラレル・データ入力端子には内蔵プルダウン・デバイスが付いているため、ロジック1を必要とするD0からD3までの入力端子だけをHIGHレベルにプルアップする必要があります。次に、目的のラスタ・サイズに合わせて27MHzまたは36MHzの信号をP_{CLK}入力に供給し、Lock_Detect出力が真になってVCOが周波数ロックされたことが判明するまで待機します。その後、TPG_Enable(端子17)をロジックHIGHにします。シリアル・テスト・パターン・データがSDO出力に現れます。TPGの動作を自動化するため、TPG_Enableを一時的にLock_Detect出力に接続してもかまいません。TPGモードから抜けるときは、TPG_EnableをロジックLOWにします。Table 1に、このモードにしたときのデバイス端子の各機能を示します。Table 2には、利用できるテスト・パターンと選択コードを示します。

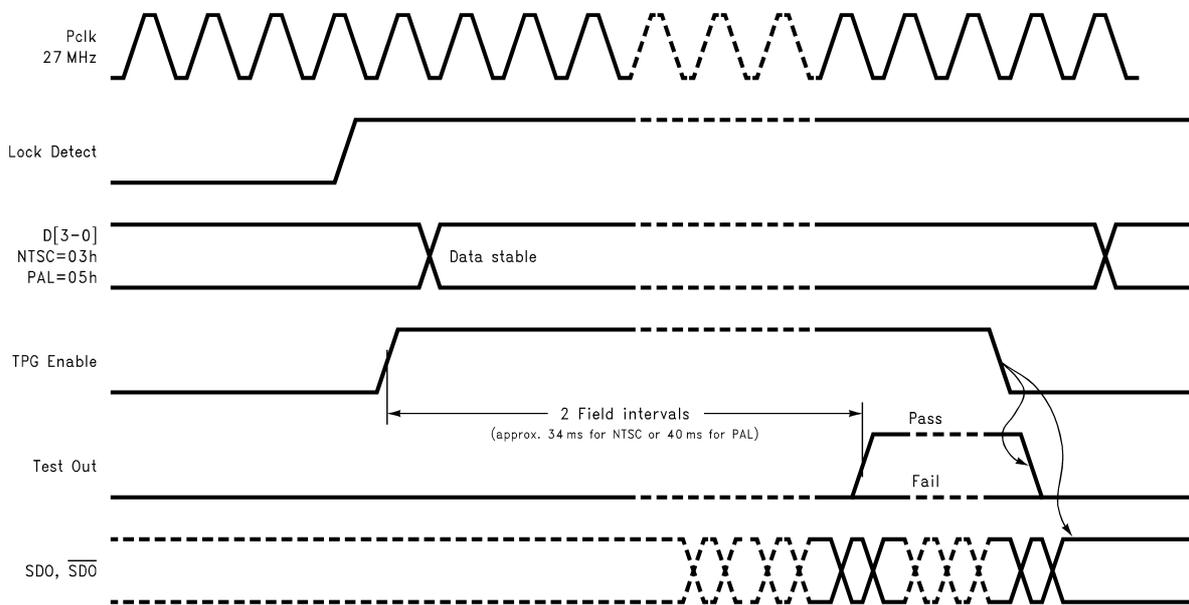


FIGURE 5. Built-In Self-Test Control Sequence

デバイスの動作(つぎ)

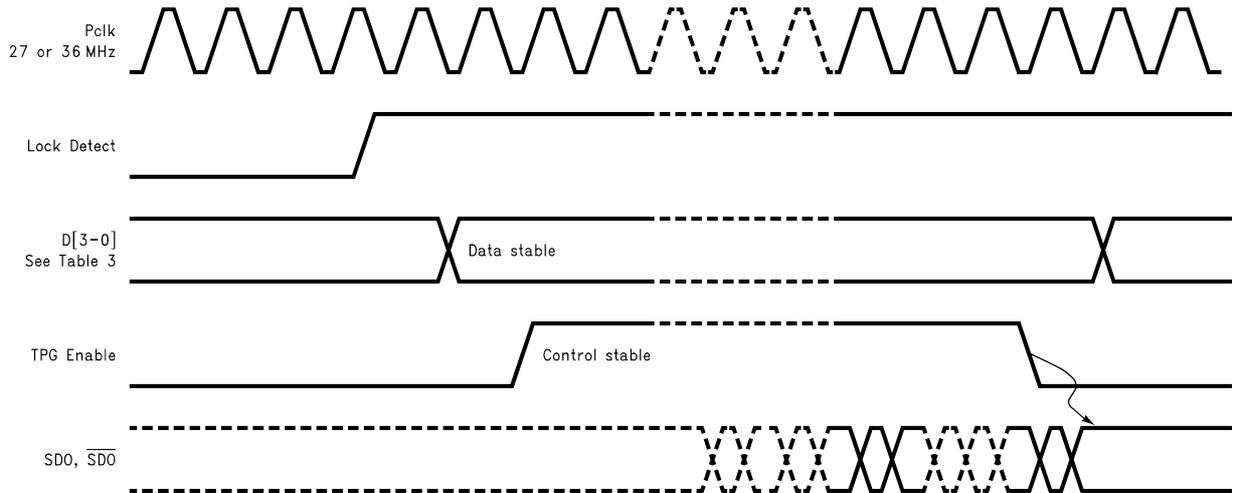


FIGURE 6. Test Pattern Generator Control Sequence

TABLE 1. BIST and Test Pattern Generator Control Functions

Pin	Name	Function
3	D0	TPG code input LSB
4	D1	TPG code input
5	D2	TPG code input
6	D3	TPG code input MSB
17	TPG_EN	TPG Enable, active high true
26	Test_Out	BIST Pass/Fail output. Pass = High (See text for timing requirements)

TABLE 2. Component Video Test Pattern Selection

Standard	Frame	Test Pattern	D3	D2	D1	D0
NTSC	4x3	Flat-field black	0	0	0	0
NTSC	4x3	PLL pathological	0	0	0	1
NTSC	4x3	EQ pathological	0	0	1	0
NTSC	4x3	Color bars, 75%, 8-bars (modified, see text), BIST	0	0	1	1
PAL	4x3	Flat-field black	0	1	0	0
PAL	4x3	PLL pathological, BIST	0	1	0	1
PAL	4x3	EQ pathological	0	1	1	0
PAL	4x3	Color bars, 75%, 8-bars (modified, see text)	0	1	1	1
NTSC	16x9	Flat-field black	1	0	0	0
NTSC	16x9	PLL pathological	1	0	0	1
NTSC	16x9	EQ pathological	1	0	1	0
NTSC	16x9	Color bars, 75%, 8-bars (modified, see text)	1	0	1	1
PAL	16x9	Flat-field black	1	1	0	0
PAL	16x9	PLL pathological	1	1	0	1
PAL	16x9	EQ pathological	1	1	1	0
PAL	16x9	Color bars, 75%, 8-bars (modified, see text)	1	1	1	1

Note: D9 ~ D4 = 0 (2進数)

端子説明

端子番号	名称	説明
1	V _{DD}	正電源入力 (デジタル・ロジック)
2	V _{DD}	正電源入力 (デジタル・ロジック)
3	D0	パラレル・データ入力 / テスト・パターン選択 (LSB)
4	D1	パラレル・データ入力 / テスト・パターン選択
5	D2	パラレル・データ入力 / テスト・パターン選択
6	D3	パラレル・データ入力 / テスト・パターン選択 (MSB)
7	D4	パラレル・データ入力
8	D5	パラレル・データ入力
9	D6	パラレル・データ入力
10	D7	パラレル・データ入力
11	D8	パラレル・データ入力
12	D9	パラレル・データ入力
13	PCLK	パラレル・クロック入力
14	Lock Detect	VCO ロック検出出力 (HIGH 有意)
15	V _{SSO}	負電源入力 (PLL 用)
16	V _{DDO}	正電源入力 (PLL 用)
17	TPG_EN	テスト・パターン・ジェネレータ (TPG) イネーブル入力 (HIGH 有意)
18	V _{SSOD}	負電源入力 (PLL デジタル用)
19	R _{REF}	出力ドライバ・レベルの制御
20	V _{DDOD}	正電源入力 (PLL デジタル用)
21	V _{SSSD}	負電源入力 (出力ドライバ)
22	SDO	シリアル・データ真出力
23	$\overline{\text{SDO}}$	シリアル・データ相補出力
24	V _{DDSD}	正電源入力 (出力ドライバ)
25	$\overline{\text{Sync Detect Enable}}$	パラレル・データ同期検出機能イネーブル入力 (LOW 有意)
26	Test_Out	BIST 正常 / 異常出力
27	V _{SS}	負電源入力 (デジタル・ロジック)
28	V _{SS}	負電源入力 (デジタル・ロジック)

Note: すべての CMOS/TTL 入力端子にはプルダウン用のデバイスが内蔵されています。

アプリケーション情報

CLC020 を使用した代表的なアプリケーション例を Figure 7 に示します。この回路は、CLC020 の諸機能を示し、さまざまな構成における CLC020 の評価ができるようにするものです。さらに広い範囲にわたって評価を実行できる組み立て済み評価用基板（部品番号 SD020EVK）も利用できます。この基板は、ナショナルセ

ミコンダクター社の販売代理店を通じてご注文いただけます。SD020EVK の実装図と等価回路については、ナショナルセコンダクター社の Web サイトで、このデバイスのアプリケーション情報をご覧ください。最新情報は、www.national.com/JPN/appinfo/interface をご覧ください。

アプリケーション回路例

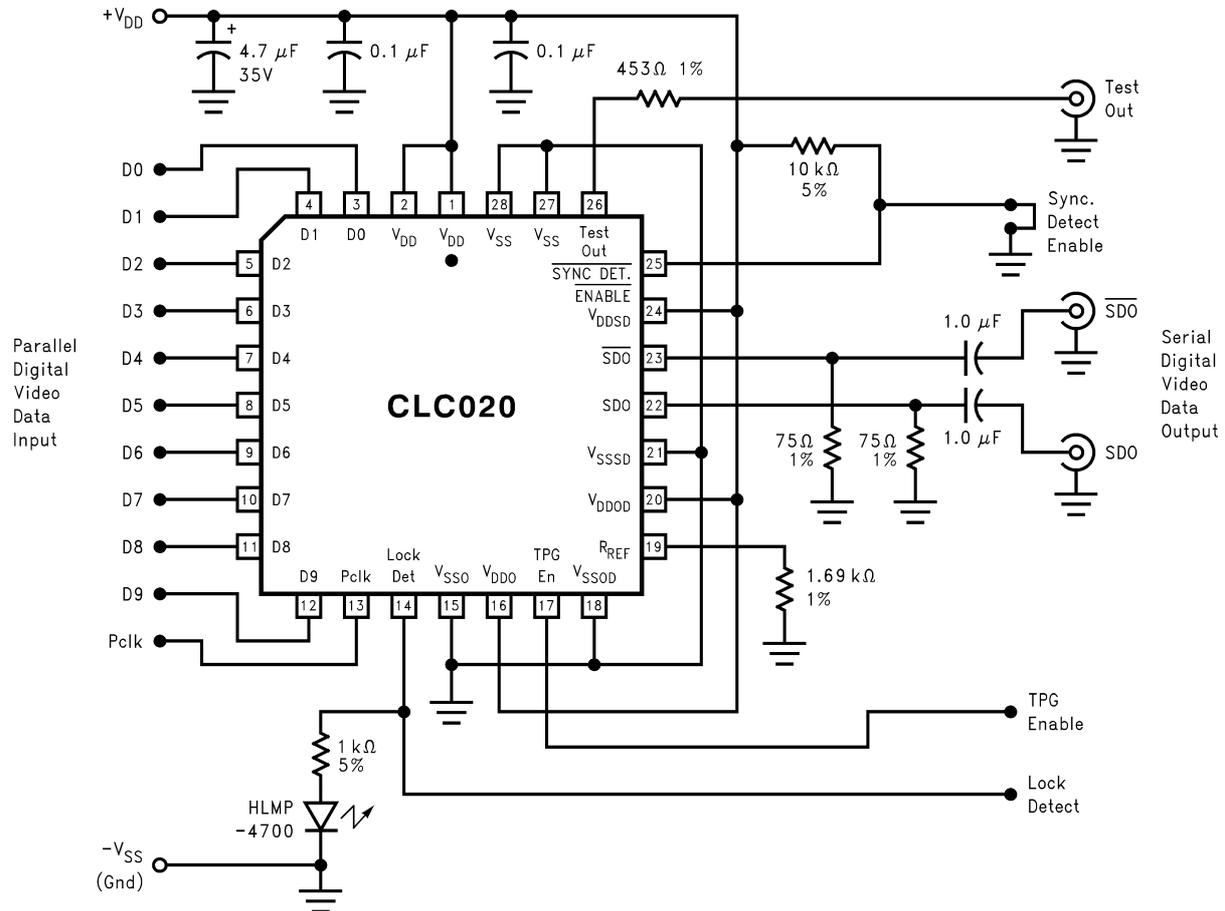


FIGURE 7. Typical Application Circuit

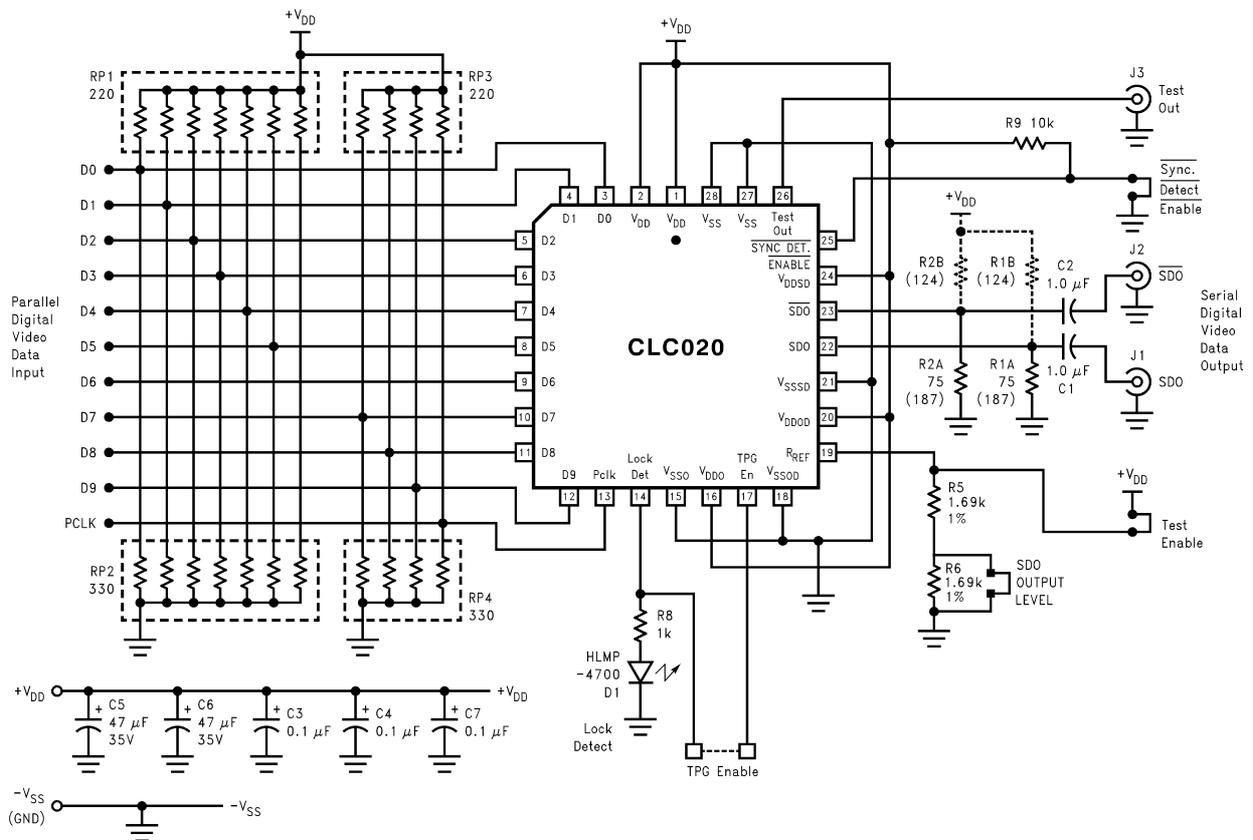
Figure 8 に示したように、評価用回路基板である SD020EVK には、入出力端子に利用する駆動用 / 負荷用の各種オプション部品をいくつか取り付けられます。入力ケーブルの配線用および制御信号のアクセス用に端子情報が示されています。入力信号を印加する前に、適切な値の抵抗パックを RP1 ~ 4 に取り付けてください。TTL の場合は 220 と 330 で構成された抵抗パックを利用します。入力端子に負荷の必要な信号源の場合は 50 で構成されたものを利用します。出力負荷は、50 と 75 のいずれの試験装置にも対応できます。試験用の負荷を 50 にするときは、R3 と R4 を取り付けする必要があります。R3 と R4 は、サイズ 1206、抵抗値 24.9 の表面実装型とします。このような構成にすると、J1 および J2 での出力レベルが 3.5 dB 減衰します。(Note: R3 と R4 の取り付けは、トレースを切断して取り除き、実装用のパッドを短くしてから行う必要があります)。

基板の出力を PECL 入力に DC 接続するときは、最初に 124 の抵抗を R1B と R2B に取り付け、R1A と R2A を 187 に変更し、C1 と C2 を短絡回路にします。PECL 入力は、ケーブルを使用せずに直接 J1 と J2 に接続してください。75 ケーブルを使用して PECL 入力に CLC020 を接続する場合は、CLC020 の出力

に使用している分圧器を取り外し、PECL デバイスの実装されている回路基板に取り付け直す必要があります。こうすると、ケーブルが正しく終端され、CLC020 の出力にも PECL の入力にも適正なバイアスがかかります。最も重要なのは、75 相当の DC 負荷を必ず、CLC020 の 2 本ある SDO 出力端子の両方に接続することです。そうしないと、適正な信号レベルがデバイスから得られません。ここでいう抵抗値は、負の供給線を基準として測定するものです。テブナン相当の 75 負荷回路を使用する場合は、SDO 出力に印加される DC バイアスが、負の電源レールを基準にして +3V を超えないようにしてください。シリアル出力レベルは、 R_{REF} を 3.4k に変更して 400mV_{p-p} まで下げる必要があります。

試験出力の出力回路に R10 (453) が入っています。これにより、50 の試験用負荷が駆動できるようになります。J3 の信号レベルは 20dB 減衰します。500 を超える高インピーダンス負荷の場合は、R10 を短絡回路に置き換えてください。ロック検出の出力を外部モニタする場合は、モニタ用に取り付ける回路の DC 抵抗値を 5k より大きくして、ロック検出の判定処理に影響を与えないようにする必要があります。

アプリケーション情報 (つづき)



テスト・パターン・ジェネレータを機能させるときは、LOCK DETECTを TPG ENABLEに接続します。

同軸接続にすときは、RP1とRP3を取り外し、RP2とRP4を50の抵抗パックに置き換えます。

入力端子との接続にリボン・ケーブルを使用する場合は、RP1～4を取り付けます。

この基板は、TTL電源とのみ組み合わせて使用する設計になっています。

ECL互換の負荷抵抗の取り付けは任意です。値はそれぞれ、R1A = R2A = 187、R1B = R2B = 124。

抵抗およびインピーダンスの単位はすべてオームです。有効数字3桁の場合は公差1%、2桁の場合は5%。

FIGURE 8. SD020EVK Schematic Diagram

ジッタの測定

AC電気仕様表に示したタイミング・ジッタ値の取得に用いた試験方法は、SMPTE RP 192-1996に記述されている手順と装置に基づいています。この規格には、推奨される実施方法として、試験方式と表示用デバイスが何種類か論じられています。本データシートに示したデータは、標準的なビデオ試験装置によるFFT方式を用いて取得したものです。したがって、最終的なジッタ値を得るには、測定装置、特に測定アナライザのジッタ特性（またはジッタの底値）が必要です。採用した試験方式/装置は、設計技術者が最も標準的なデジタル・ビデオ試験装置を用いて簡単に試験の再現ができることを目的として選んだものです。こうすれば、同じような試験結果が得られるはずですが、CLC020内蔵のPLLがもとも持っているジッタ底値は、電気仕様の中に示した代表的なジッタ値の約25%です。製造工程でも、デバイスのジッタは自動IC試験装置(ATE)により測定されますが、その自動試験装置と互換性のある別の方式が使用されます。このATEでジッタを測定すると、ビデオ試験装置で取得される値の約50%の値が得られます。

本データシートに示したデータは、次のような構成のジッタ試験装置で取得したものです。

- National Semiconductor SD020EVK、CLC020 評価キット
- Tektronix TG2000 信号生成プラットフォーム、DVG1 オプション付き
- Tektronix VM700T Option 1S ビデオ測定セット
- Tektronix TDS 794D、Option C2 オシロスコープ
- Tektronix P6339A パッシブ・プローブ
- 75 オーム同軸ケーブル、3 フィート、Belden 8281 または RG59 (2本必要)
- ECL-TTL/CMOS レベル変換器 / 増幅器、Figure 10

アプリケーション情報 (つづき)

TG2000 信号ジェネレータの BG1 モジュール 27MHz クロック出力から出るブラックバースト基準のクロック周波数をレベル変換器の入力に与えます。クロック振幅変換器の等価回路を Figure 10 に示します。オシロスコープとプローブで構成されたシステムで測定したときに、50%のデューティ・サイクル出力になるよう入力バイアスの設定回路を調整します。SD020EVK 基板の P_{CLK} 端子が並んでいるコネクタ P1 にレベル変換器を接続します (最外周に並んでいる端子はグラウンドです)。NTSC カラー・バーの BIST モードで動作するよう SD020EVK を設定します。1kHz フィルタ帯域幅でかつハニング窓したフレーム・レートのジッタ FFT モードでジッタ測定が実行されるよう VM700T を設定します。各測定装置は Figure 9 のような構成にします。試験装置をスタンバイ・モードからオンにし、すべての装置の温度が装置製造元の推奨値に安定するまで待機します。装置の表示値が安定するのに約 1 分待機してから、ジッタ値を測定します。装置の詳しい使用方法は、

『VM700T Video Measurement Set Option 1S Serial Digital Measurements User Manual』(文書番号 071-0074-00)を参照してください。

VM700T 測定システムの 270Mbps でのジッタ底値の仕様は、50Hz から 1MHz の範囲では実際の部品の 200ps ± 20%(代表値は 100ps ± 5%) であり、1MHz から 10MHz の範囲では実際の部品の 200ps + 60%、- 30%です。CLC020 の実際の残留ジッタ値を得るには、表示されたジッタ値を二乗和平方根の計算により補正し、測定システムのもっている底値を相殺する必要があります。たとえば、測定装置に表示されたジッタ値が 250ps の場合、CLC020 の残留ジッタ値は、 $(250^2 - 200^2)$ の平方根 = 150ps となります。読み取った値の精度は、上に示した公差が限界値となります。

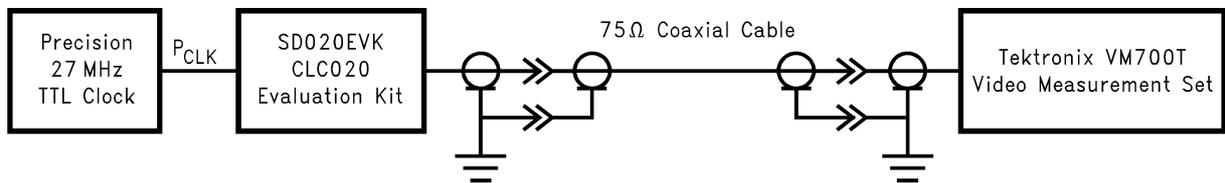
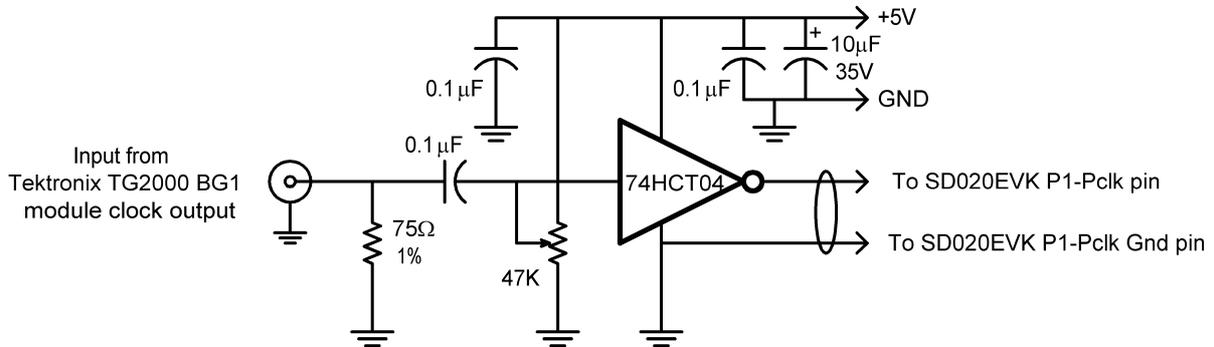


FIGURE 9. Jitter Test Circuit



All resistances in Ohms.
Ground all unused inputs.

FIGURE 10. ECL-to-TTL/CMOS level converter/amplifier

アプリケーション情報 (つづき)

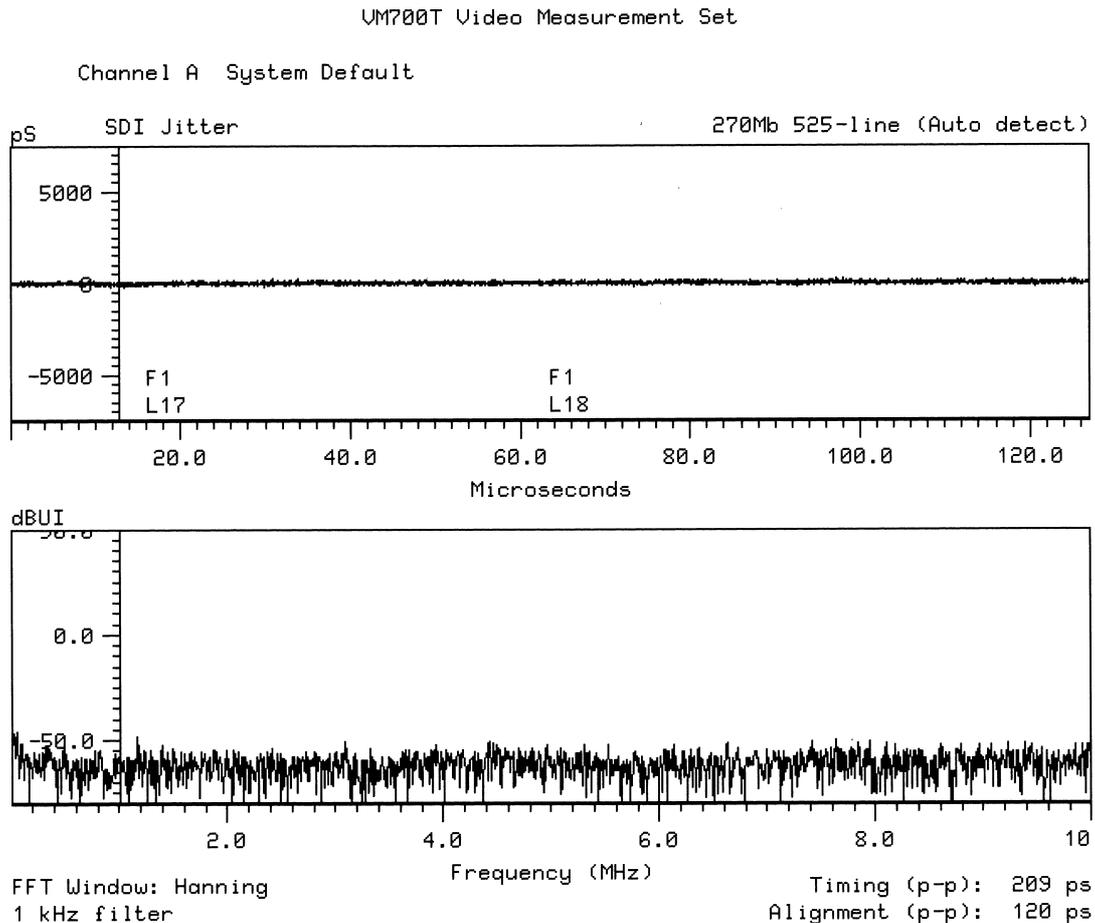


FIGURE 11. Jitter Plots

プリント基板のレイアウトと電源のバイパスに関する推奨事項

CLC020 を実装する回路基板は、デバイスに対してノイズのない電源を供給するように、レイアウトと層構成を設計しなければなりません。レイアウトが適切であれば、高周波や高レベルの入力が出力から分離されるため、無用の浮遊ノイズを拾うことも、帰還や干渉が発生することも少なくなります。また、4ミルから10ミル程度の薄い誘電体材料を電源層とグラウンド層の間に挟むと、電源系の性能を大きく改善できる場合があります。このような処置を施すと、プリント基板の電源層の容量が増えるため、特に高周波の電源ノイズに対するフィルタ特性を改善する効果があります。したがって、外付けのバイパス・コンデンサの値や取り付け位置はそれほど重要ではなくなります。外付けバイパス・コンデンサは、高周波セラミック・コンデンサとタンタル電解コンデンサの両方を使用してください。高周波セラミック・コンデンサの値は、0.01 μF から 0.1 μF の範囲を使用します。また、タンタル・コンデンサの値は、2.2 μF から 10 μF の範囲を使用します。タンタル・コンデンサの電圧定格は、使用する電源電圧の5倍以上にします。CLC020の各電源ピンと高周波バイパス・コンデンサのハンダ・パターンには、2つのスルーホールを設けることを推奨します。スルーホールを2つにすると、電源またはグラウンドに対するインダクタンス成分が最大で1/2に低減されるため、バイパス・コンデンサの実効周波数範囲が広がります。

プリント基板の外層は、もともと内層に設けられているグラウンド層に追加する形で全面を V_{SS} (グラウンド) 層にできます。外層を全面的にグラウンド層にすると、遮蔽性能や分離性能が改善される

だけでなく、電力供給層がもともと持っている静電容量も増えます。当然ですが、外層をグラウンド面にする場合は、スルーホールを多く使用して V_{SS} 電力供給層に接続しないと、効果が発揮されません。スルーホールを多く設けると、映像電流の経路が短くなるため、信号伝送路の波形品質が改善され、その結果、信号の歪みが減ります。このようなベタ・パターンは、伝送路および部品取り付け用パッドのすべてから、一定の距離だけ離してください。離す距離は、最も広い伝送路の線幅か、伝送路と内部電源層 / グラウンド層とを分離している誘電体の厚さのいずれか大きいほうと等しい距離にします。このように配置すれば、伝送路インピーダンスに対する影響が最も小さくなり、部品取り付け用パッドでの無用な寄生静電容量も減ります。

たとえば、スイッチング電源を使用するときのように、ノイズを多く発生する電力供給システムの場合は、CLC020のVCOと出力ドライバの電源端子にそれぞれ別々にフィルタを設けられます。CLC020は、こうした状況に適合できるよう設計されています。デジタル処理部、VCO、出力ドライバはそれぞれ独立した電源端子を持っています。詳細は、端子説明表とピン配置図を参照してください。フィルタはL型または型のL-Cフィルタとし、これらの V_{DD} 入力に直列に挿入します。このようなフィルタは、一部のメーカーから単体パッケージ品として購入できます。電源端子がそれぞれ独立していても、デバイスの電源は、1個の共通した電源から供給し、またすべて同時に印加してください。CLC020では、デバイスの独立した3本の電力供給系同士のあいだに発生する回路誘導遅延を原因とする電源ラッチアップは発生しません。

アプリケーション情報 (つづき)

GENNUM GS9022 から交換する場合

CLC020 の機能は Gennum GS9022 と完全な互換性があります。CLC020 は、GS9022 の実装されていたプリント基板のレイアウトのまま、一部の部品を取り外したり、部品の値を変えると、その回路性能の改善を図れます。CLC020 を使用して新たにレイアウトを作成すれば、補助部品の数は大幅に減り、よりコンパクトなレイアウトにできます。

CLC020 は外付けの VCO フィルタ用部品を必要としません。GS9022 の端子 17 に外付けの VCO フィルタ用部品が残っていて、そのまま CLC020 に接続しても異常は発生しません。ただし、このような不要な部品は回路基板から外したほうがよいでしょう。CLC020 の端子 17 は、テスト・パターン・ジェネレータの機能を有効にするときに使用する端子です。不要な部品を外して TPG の機能が使用できるようにすれば、非常に役に立つことがわかるはずです。

GS9022 の端子 26 に使用していた C_{OSC} コンデンサは外してください。CLC020 の端子 26 は、BIST 正常 / 異常表示出力として使用します。必要な場合は、この端子に表示装置として LED が接続できます。LED に流す電流は最大 10 mA にしてください。この表示用途には、Figure 8 のロック検出出力端子に接続したのと同じ種類の LED と電流制限抵抗を使用できます。

端子 19 に接続されているコンデンサはすべて外してください。端子 19 にコンデンサが接続されていると、出力 V_{OH} レベルが歪む原因になります。端子 19 に接続されているフォーマット・データ・レート設定用の抵抗 R_{VCO} は、CLC020 では出力レベル設定用抵抗 R_{REF} として機能します。ただし、出力レベルを正しく設定するためには、1.69k、1%の抵抗に変更する必要があります。

GS9022 では、入力直列抵抗と P_{CLK} 立ち上がり時間フィルタ・コンデンサが使用されていましたが、CLC020 では不要です。これらの部品は元の回路基板から取り外し、抵抗の付いていたところ

は短絡してください (つまり抵抗値を 0 にしてください)。これらの直列抵抗を基板に残すと、入力信号の立ち上がり時間、立ち下がり時間が長くなります。

CLC020 には、電流モードのシリアル・ケーブル・ドライバ出力があります。この出力部には、非常に大きな内部生成抵抗があり、電流源と同じように働きます。このような電流モード出力から同等の駆動電圧を負荷に供給できますが、GS9022 で通常推奨される出力回路を変更し簡略化する必要があります。端子 22、23 の出力負荷抵抗を、75、1%に変更する必要があります。これらの抵抗がバックマッチング用の負荷となり、その負荷の両端に、CLC020 の出力駆動電圧が発生します。GS9022 に使用されていたバックマッチング用の直列抵抗は取り外して短絡してください。これらの抵抗の両端に付いていた立ち上がり時間補償用のコンデンサも外してください。

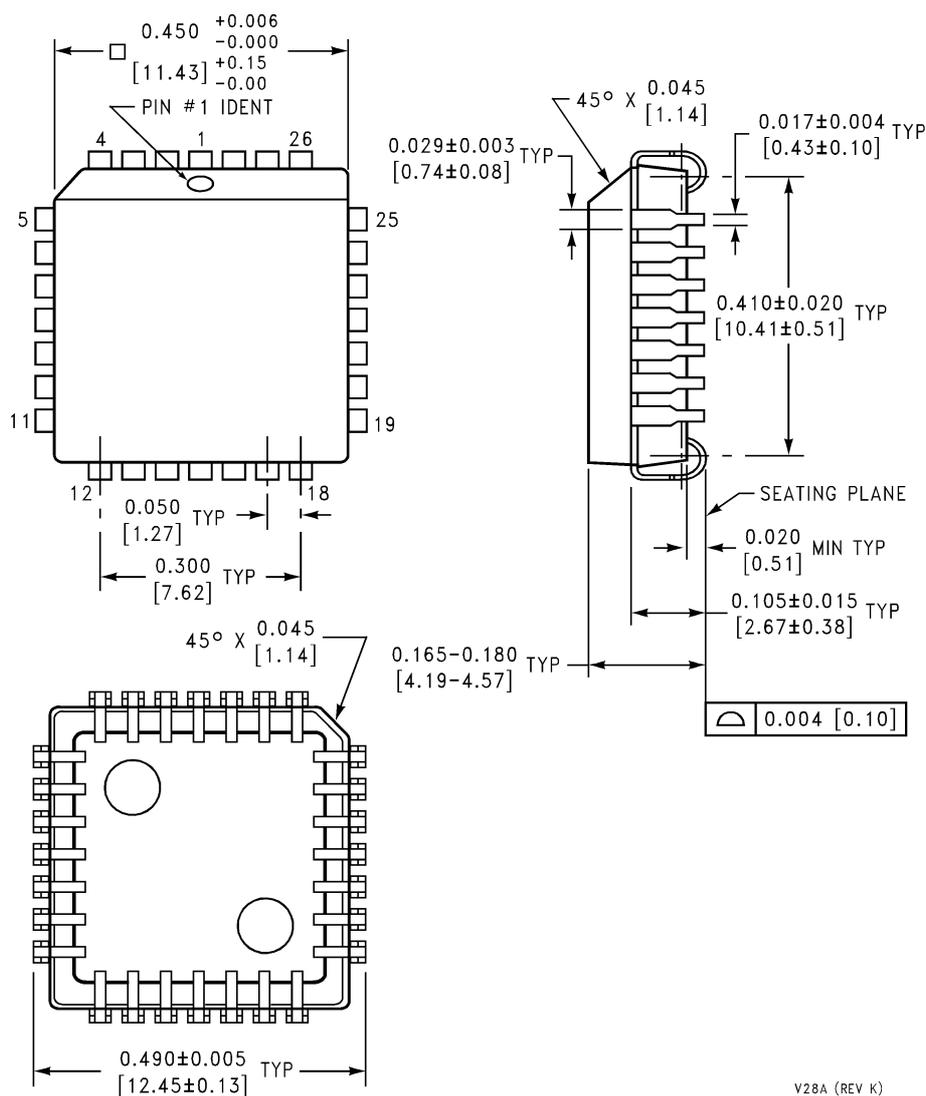
CLC020 の端子 28 は V_{SS} なので、負電源がグラウンドに接続する必要があります。GS9022 の実装用に設計されたレイアウトの場合は、この端子に接続されている直列 R-C ネットワークを外して短絡してください (つまり抵抗値を 0 にしてください)。

端子 14 のロック検出出力に接続されているプルアップ抵抗は外してください。ロック検出の目視確認をしたい場合は、 V_{SS} に付いていた LED と電流制限抵抗でも置き換えられます。

CLC020 の Sync Detect Enable 入力は内部回路によりプルダウンされるため、SMPTE 準拠のビデオのみの回路の場合は、どこにも接続しないまま開放にしておいてかまいません。

CLC020 には VCO の電源用として、 V_{SSO} (端子 15) と V_{DDO} (端子 16) の独立した端子が付いています。また、CLC020 には出力ドライバの負電源用として V_{SSSD} (端子 21) が付いています。出力ドライバの正電源 V_{DDSD} は端子 24 で、GS9022 と同じです。新しくレイアウトを作成するときは、必要な場合は、これらの端子に電源フィルタを追加して取り付けられます。

外形寸法図 特記のない限り inches (millimeters)



28-Pin PLCC
Order Number CLC020BCQ
NS Package Number V28A

V28A (REV K)

生命維持装置への使用について

弊社の製品はナショナル セミコンダクター社の書面による許可なくしては、生命維持用の装置またはシステム内の重要な部品として使用することはできません。

1. 生命維持用の装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。
2. 重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/JPN/

その他のお問い合わせはフリーダイヤルをご利用ください。

フリーダイヤル
0120-666-116

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上