

# DS92LV16

*DS92LV16 16-Bit Bus LVDS Serializer/Deserializer - 25 - 80 MHz*



Literature Number: JAJ960

ご注意：この日本語データシートは参考資料として提供しており、内容が最新でない場合があります。製品のご検討およびご採用に際しては、必ず最新の英文データシートをご確認ください。



2002年2月

## DS92LV16

### 16ビット Bus LVDS シリアライザ / デシリアライザ 25-80MHz

#### 概要

DS92LV16 はシリアライザとデシリアライザの機能を1チップにまとめたデバイス (SERDES) で、16ビットの平行・データにクロック情報を埋め込んだ BLVDS シリアル・データ列への変換、および復元を行います。1つのシリアル・データ列では平行・データ・パスで問題となるクロックとのスキューを考慮する必要はないので、プリント基板やケーブルでの伝送が容易になります。あわせてプリント基板層数やケーブル幅、コネクタ・サイズとピン数などを低減できるため、コストを抑えられます。

DS92LV16 はシステムおよびデバイスのテスト機能を内蔵しており、ライン・ループバック・モードとローカル・ループバック・モードによって次のようなテストを実施します。ローカル・ループバック・モードでは、ローカル側の平行・データ入出力によってデバイスの機能性をテストできます。また、ライン・ループバック・モードでは、伝送線路側のシリアル・データ入出力によって伝送線路の状態をテストします。

DS92LV16 は高速 I/O パスとして BLVDS インタフェースを採用しています。BLVDS が持つ低消費電力かつ低ノイズの伝送方式により、シリアル伝送において高信頼のデータ転送を可能にします。差動で構成されるデータ・パスによって電流は逆向きに均等に流れ、その結果生じる漏洩磁界は結合して EMI を抑えます。

#### 特長

25 ~ 80MHz で動作する 16:1/1:16 のシリアライザ / デシリアライザ (全二重時スレープット 2.56Gbps)

シリアライザ・ブロックとデシリアライザ・ブロックの独立動作を可能にする個別のクロック入力と出力イネーブルおよびパワーダウ

ハイ・インピーダンス状態でのパワーアップによる活線挿抜保護と、ランダム・データにもレシーバがロック可能な同期確立送信クロックに対して受信基準クロックは±5%の周波数許容範囲を持っているため、システム要件を緩和できるローカル・クロック方式の採用が可能

ライン・ループバック・モードおよびローカル・ループバック・モード BLVDS インタフェースの採用によりバックプレーンおよびケーブルを低 EMI かつ高信頼でドライブ可能

外部でのコーディング不要

PLL の内蔵化により外部 PLL 部品が不要

+ 3.3V 単一電源電圧

低消費電力 : 80MHz においてシリアライザ 104mA (代表値)、

デシリアライザ 119mA (代表値)

デシリアライザ・レシーバ入力スレッショルド ± 100mV (代表値)、

ロック外れ検出機能あり

ロック喪失検出と外部報知端子

工業用温度範囲

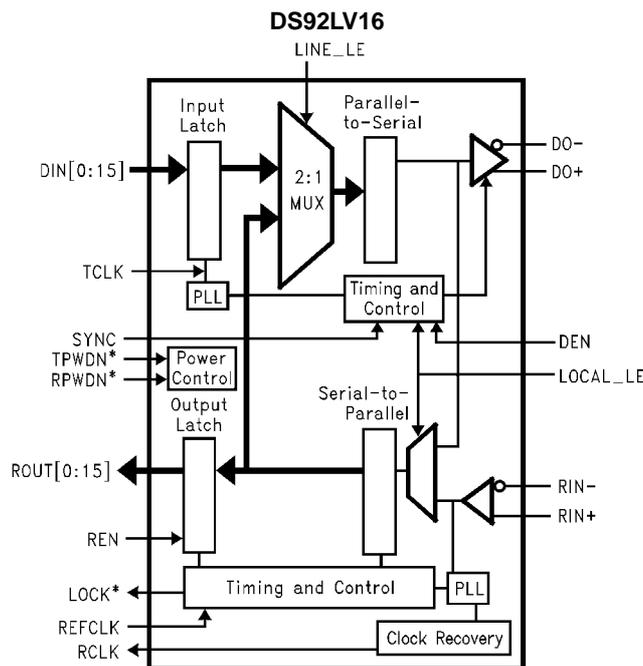
- 40 ~ + 85

人体モデル ESD 定格

> 2.5kV

小型の標準 80ピン PQFP パッケージ

#### ブロック図



DS92LV16 16ビット Bus LVDS シリアライザ / デシリアライザ 25-80MHz

## 絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。  
関連する電氣的信頼性試験方法の規格を参照ください。

電源電圧 ( $V_{CC}$ )	- 0.3V ~ + 4V
LVC MOS/LVTTL 入力電圧	- 0.3V ~ ( $V_{CC} + 0.3V$ )
LVC MOS/LVTTL 出力電圧	- 0.3V ~ ( $V_{CC} + 0.3V$ )
Bus LVDS レシーバ入力電圧	- 0.3V ~ + 3.9V
Bus LVDS ドライバ出力電圧	- 0.3V ~ + 3.9V
Bus LVDS 出力短絡時間	10ms
接合部温度	+ 150
保存温度範囲	- 65 ~ + 150
リード温度 (ハンダ付け、4 秒)	+ 260

パッケージ最大許容電力損失  
パッケージ・デレーティング

80L PQFP	25 以上で 23.2mW/
JA	43 /W
JC	11.1 /W
ESD 耐圧 (人体モデル)	>2.5kV

## 推奨動作条件

	最小値	代表値	最大値	単位
電源電圧 ( $V_{CC}$ )	3.15	3.3	3.45	V
動作温度範囲 ( $T_A$ )	- 40	+ 25	+ 85	
クロック・レート	25		80	MHz

## 電氣的特性

特記のない限り、推奨動作条件における電源電圧および温度範囲に適用。

Symbol	Parameter	Conditions	Pin/Freq.	Min	Typ	Max	Units
<b>LVC MOS/LVTTL DC Specifications</b>							
$V_{IH}$	High Level Input Voltage		TCLK_R $\bar{F}$ , DEN, TCLK, $\bar{TPWDN}$ , DIN, SYNC, RCLK_R $\bar{F}$ , REN, REFCLK, $\bar{PWRDN}$	2.0		$V_{CC}$	V
$V_{IL}$	Low Level Input Voltage			GND		0.8	V
$V_{CL}$	Input Clamp Voltage	$I_{CL} = - 18 \text{ mA}$		- 0.7	- 1.5	V	
$I_{IN}$	Input Current	$V_{IN} = 0V \text{ or } 3.6V$		- 10	$\pm 2$	+ 10	$\mu\text{A}$
$V_{OH}$	High Level Output Voltage	$I_{OH} = - 9 \text{ mA}$	$R_{OUT}$ , RCLK, LOCK	2.3	3.0	$V_{CC}$	V
$V_{OL}$	Low Level Output Voltage	$I_{OL} = 9 \text{ mA}$		GND	0.33	0.5	V
$I_{OS}$	Output Short Circuit Current	$V_{OUT} = 0V$		- 15	- 48	- 85	mA
$I_{OZ}$	TRI-STATE Output Current	$\bar{PWRDN}$ or REN = 0.8V, $V_{OUT} = 0V$ or $V_{CC}$		$R_{OUT}$ , RCLK,	- 10	$\pm 0.4$	+ 10
<b>Bus LVDS DC specifications</b>							
$V_{TH}$	Differential Threshold High Voltage	$V_{CM} = + 1.1V$	RI + , RI -			+ 100	mV
$V_{TL}$	Differential Threshold Low Voltage			- 100		mV	
$I_{IN}$	Input Current	$V_{IN} = + 2.4V, V_{CC} =$ 3.6V or 0V		- 10	$\pm 5$	+ 10	$\mu\text{A}$
		$V_{IN} = 0V, V_{CC} = 3.6V$ or 0V		- 10	$\pm 5$	+ 10	$\mu\text{A}$

## 電气的特性 (つづき)

特記のない限り、推奨動作条件における電源電圧および温度範囲に適用。

Symbol	Parameter	Conditions	Pin/Freq.	Min	Typ	Max	Units
<b>Bus LVDS DC specifications</b>							
$V_{OD}$	Output Differential Voltage (DO + ) - (DO - )	$R_L = 100 \Omega$ , Figure 17	DO + , DO -	350	500	550	mV
$V_{OD}$	Output Differential Voltage Unbalance				2	15	mV
$V_{OS}$	Offset Voltage			1.05	1.2	1.25	V
$V_{OS}$	Offset Voltage Unbalance				2.7	15	mV
$I_{OS}$	Output Short Circuit Current	$\overline{DO} = 0V, \overline{Din} = H, \overline{TXPWDN}$ and $\overline{DEN} = 2.4V$		- 35	- 50	- 70	mA
$I_{OZ}$	Tri-State Output Current	$\overline{TXPWDN}$ or $\overline{DEN} = 0.8V, \overline{DO} = 0V$ OR $V_{DD}$		- 10	$\pm 1$	10	$\mu A$
$I_{OX}$	Power-Off Output Current	$V_{DD} = 0V, \overline{DO} = 0V$ or 3.6V		- 10	$\pm 1$	10	$\mu A$

**SER/DES SUPPLY CURRENT (DVDD, PVDD and AVDD pins)**

$I_{CCT}$	Total Supply Current (includes load current)	$C_L = 15 \text{ pF}, R_L = 100 \Omega$	$f = 80 \text{ MHz}, \text{PRBS15 pattern}$		209		mA
		$C_L = 15 \text{ pF}, R_L = 100 \Omega$	$f = 80 \text{ MHz}, \text{Worse case pattern (Checker-board pattern)}$		225	320	mA
$I_{CCX}$	Supply Current Powerdown	$\overline{PWRDN} = 0.8V, \overline{REN} = 0.8V$			0.35	1.0	mA

## シリアルライザの TCLK に対するタイミング仕様

特記のない限り、推奨動作条件における電源電圧および温度範囲に適用。

Symbol	Parameter	Conditions	Min	Typ	Max	Units	
$t_{TCP}$	Transmit Clock Period		12.5	T	40	ns	
$t_{TCH}$	Transmit Clock High Time		0.4T	0.5T	0.6T	ns	
$t_{TCL}$	Transmit Clock Low Time		0.4T	0.5T	0.6T	ns	
$t_{CLKT}$	TCLK Input Transition Time				3	6	ns
$t_{JIT}$	TCLK Input Jitter					80	ps (RMS)

## シリアルライザ・スイッチング特性

特記のない限り、推奨動作条件における電源電圧および温度範囲に適用。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
$t_{LLHT}$	Bus LVDS Low-to-High Transition Time	$R_L = 100 \Omega$ Figure 3 $C_L = 10 \text{ pF to GND}$		0.2	0.4	ns
$t_{LHLT}$	Bus LVDS High-to-Low Transition Time				0.2	0.4
$t_{DIS}$	DIN (0-15) Setup to TCLK	Figure 6	2.4			ns
$t_{DIH}$	DIN (0-15) Hold from TCLK	$R_L = 100 \Omega$ , $C_L = 10 \text{ pF to GND}$	0			ns

## シリアライザ・スイッチング特性 (つづき)

特記のない限り、推奨動作条件における電源電圧および温度範囲に適用。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
$t_{HZD}$	DO $\pm$ HIGH to TRI-STATE Delay	Figure 7 (Note 4) $R_L = 100$ , $C_L = 10\text{pF}$ to GND		2.3	10	ns
$t_{LZD}$	DO $\pm$ LOW to TRI-STATE Delay			1.9	10	ns
$t_{ZHD}$	DO $\pm$ TRI-STATE to HIGH Delay			1.0	10	ns
$t_{ZLD}$	DO $\pm$ TRI-STATE to LOW Delay			1.0	10	ns
$t_{SPW}$	SYNC Pulse Width	Figure 8 $R_L = 100$	$5*t_{TCP}$		$6*t_{TCP}$	ns
$t_{PLD}$	Serializer PLL Lock Time		$510*t_{TCP}$		$513*t_{TCP}$	ns
$t_{SD}$	Serializer Delay	Figure 9 $R_L = 100$	$t_{TCP} + 1.0$	$t_{TCP} + 2.0$	$t_{TCP} + 4.0$	ns
$t_{RJIT}$	Random Jitter			10		ps(rms)
$t_{DJIT}$	Deterministic Jitter Figure 15	35 MHz	- 240		140	ps
		80 MHz	- 75		100	ps

## デシリアライザの REFCLK に対するタイミング仕様

特記のない限り、推奨動作条件における電源電圧および温度範囲に適用。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
$t_{RFCP}$	REFCLK Period		12.5	T	40	ns
$t_{RFDC}$	REFCLK Duty Cycle		40	50	60	%
$t_{RFCP} / t_{TCP}$	Ratio of REFCLK to TCLK		0.95		1.05	
$t_{RFTT}$	REFCLK Transition Time				6	ns

## デシリアライザ・スイッチング特性

特記のない限り、推奨動作条件における電源電圧および温度範囲に適用。

Symbol	Parameter	Conditions	Pin/Freq.	Min	Typ	Max	Units
$t_{RCP}$	Receiver out Clock Period	Figure 9 $t_{RCP} = t_{TCP}$	RCLK	12.5		40	ns
$t_{RDC}$	RCLK Duty Cycle		RCLK	45	50	55	%
$t_{CLH}$	CMOS/TTL Low-to-High Transition Time	$CL = 15\text{pF}$ Figure 4	Rout(0-9), $\overline{\text{LOCK}}$ , RCLK		2	4	ns
$t_{CHL}$	CMOS/TTL High-to-Low Transition Time				2	4	ns
$t_{ROS}$	ROUT (0-9) Setup Data to RCLK	Figure 11			$0.35*t_{RCP}$	$0.5*t_{RCP}$	ns
$t_{ROH}$	ROUT (0-9) Hold Data to RCLK				$- 0.35*t_{RCP}$	$- 0.5*t_{RCP}$	ns
$t_{HZR}$	HIGH to TRI-STATE Delay	Figure 12	Rout(0-9), $\overline{\text{LOCK}}$		2.2	10	ns
$t_{LZR}$	LOW to TRI-STATE Delay				2.2	10	ns
$t_{ZHR}$	TRI-STATE to HIGH Delay				2.3	10	ns
$t_{ZLR}$	TRI-STATE to LOW Delay				2.9	10	ns
$t_{DD}$	Deserializer Delay		RCLK	$1.75*t_{RCP} + 2$	$1.75*t_{RCP} + 5$	$1.75*t_{RCP} + 7$	ns

## デシリアライザ・スイッチング特性 (つづき)

特記のない限り、推奨動作条件における電源電圧および温度範囲に適用。

Symbol	Parameter	Conditions	Pin/Freq.	Min	Typ	Max	Units
$t_{DSR1}$	Deserializer PLL Lock Time from PWRDWN (with SYNCPAT)	(Note 7)	35MHz		3.7	10	$\mu$ s
			80 MHz		1.9	4	$\mu$ s
$t_{DSR2}$	Deserializer PLL Lock time from SYNCPAT		35MHz		1.5	5	$\mu$ s
			80 MHz		0.9	2	$\mu$ s
$t_{RNMI-R}$	Ideal Deserializer Noise Margin Right	Figure 16 (Note 6)	35 MHz			+ 630	ps
			80 MHz			+ 230	ps
$t_{RNMI-L}$	Ideal Deserializer Noise Margin Left	Figure 16 (Note 6)	35 MHz	- 630			ps
			80 MHz	- 230			ps

**Note 1:** 「絶対最大定格」を超えてデバイスを動作させた場合、安全性は保証されません。また、絶対最大定格の上限または下限でデバイスを動作させるべきであることを示しているわけではありません。デバイスの動作条件は「電気的特性」の各表により規定されています。

**Note 2:** Typ 値は  $V_{CC} = 3.3V$ 、 $T_A = +25$  のときです。

**Note 3:** デバイス・ピンに流れ込む電流を正と定義し、デバイス・ピンから流れ出る電流を負と定義しています。電圧は、差動電圧である VOD、 $V_{OD}$ 、VTH、VTL を除いてグラウンドを基準としています。

**Note 4:** シリアライザ側が TRI-STATE になることでデシリアライザの PLL ロックが外れるため、データの送信の前に同期を再確立する必要があります。

**Note 5:** REFCLK が安定しかつ入力データ列が特定のパターン (SYNCPAT) という条件において、デシリアライザの PLL 性能を示す目的で  $t_{DSR1}$  と  $t_{DSR2}$  を規定しています。デシリアライザは  $t_{DSR1}$  または  $t_{DSR2}$  のタイミングで初期化することを推奨します。 $t_{DSR1}$  は、デシリアライザが電源オン時のロックまたはパワーダウンからの復帰に必要な時間です。どちらの条件とも、同期パターンは初期化を開始する前から送られている必要があります。 $t_{DSR2}$  は電源オン時のロック、またはイネーブル状態のデシリアライザにおいてシリアル入力 (R + と R - ) でデータを受信していない状態から同期パターン (SYNCPAT) を受信したときに必要な時間です。

**Note 6:**  $t_{RNMI}$  とは、デシリアライザが入力データ列に対してビット・エラーを生じることなく、どの程度の位相ノイズ (ジッタ) まで耐えられるかを示す量です。本パラメータの測定では、理想的なタイミングにあるデータビットを基準としています。詳細はアプリケーション・ノート AN-1217 を参照してください。

**Note 7:** Sync パターンは固定パターンであり、8 ビットの "H" に続く 8 ビットの "L" で構成されています。

AC タイミング図およびテスト回路

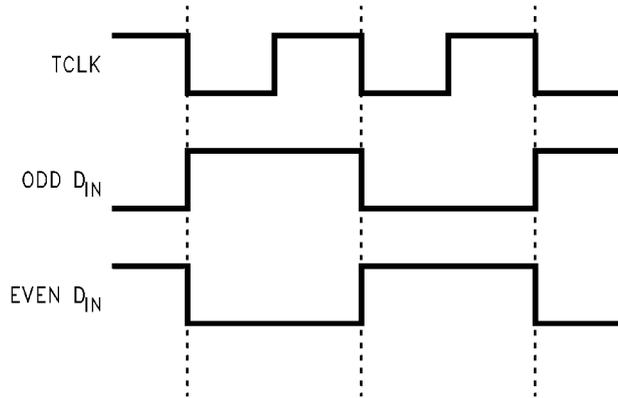


FIGURE 1. "Worst Case" Serializer ICC Test Pattern

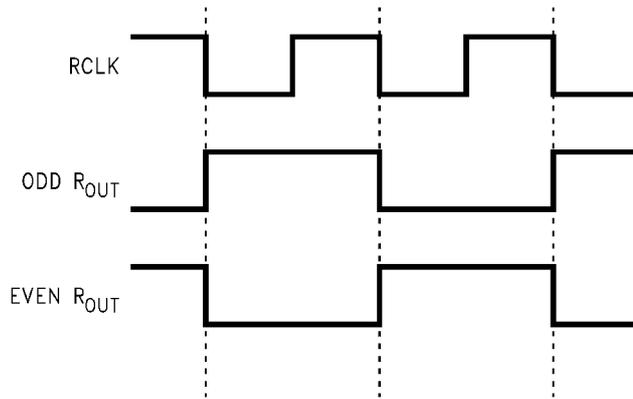


FIGURE 2. "Worst Case" Deserializer ICC Test Pattern

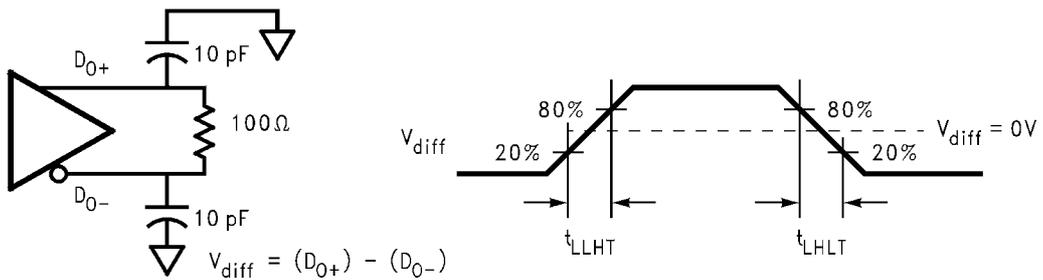


FIGURE 3. Serializer Bus LVDS Output Load and Transition Times

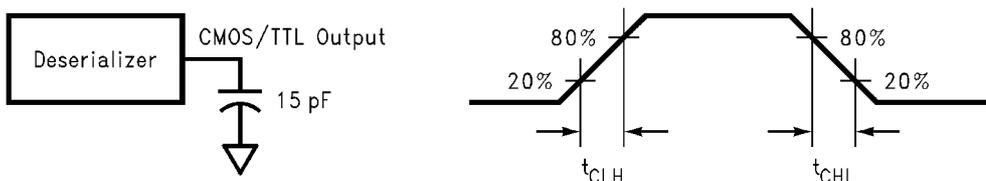


FIGURE 4. Deserializer CMOS/TTL Output Load and Transition Times

AC タイミング図およびテスト回路 (つづき)

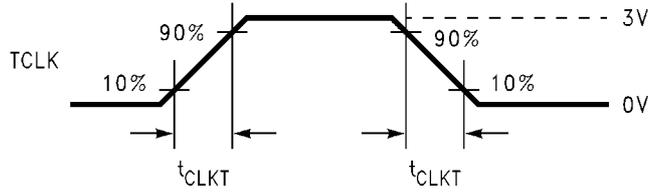


FIGURE 5. Serializer Input Clock Transition Time

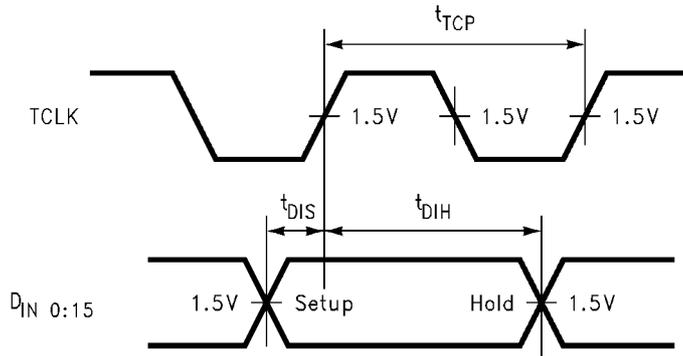


FIGURE 6. Serializer Setup/Hold Times

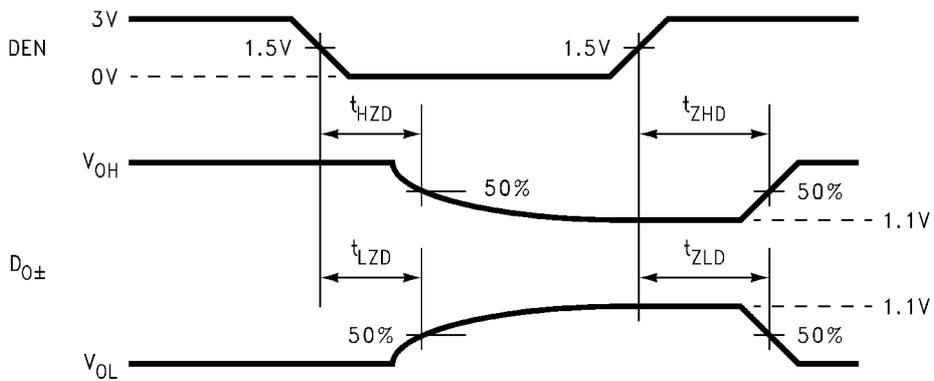
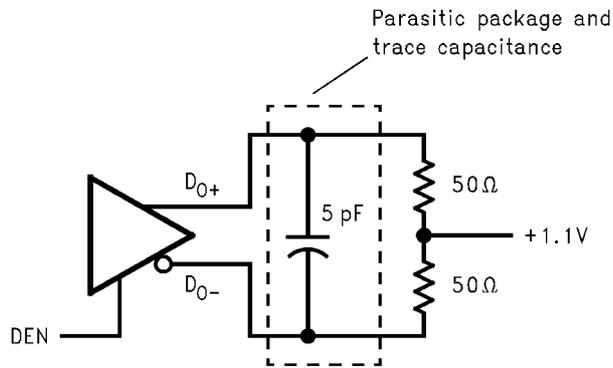


FIGURE 7. Serializer TRI-STATE Test Circuit and Timing

AC タイミング図およびテスト回路 (つぎ)

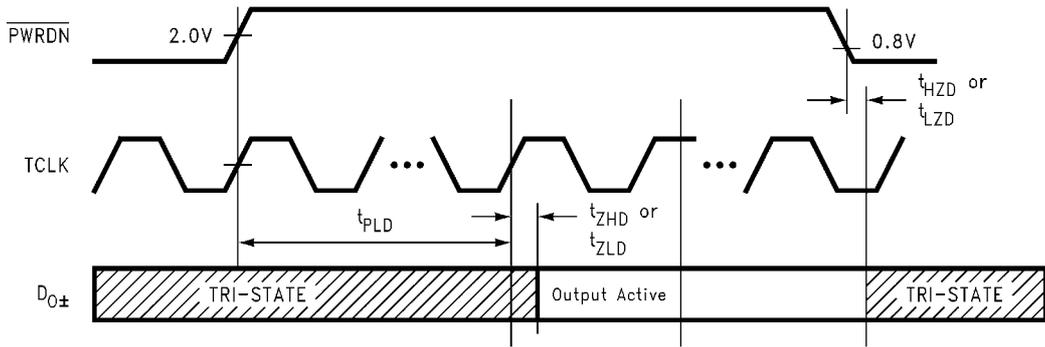


FIGURE 8. Serializer PLL Lock Time, SYNC Timing and PWRDN TRI-STATE Delays

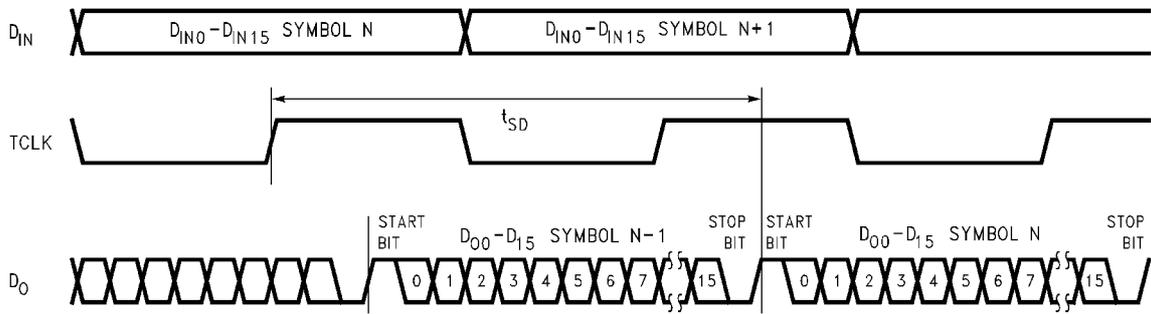


FIGURE 9. Serializer Delay

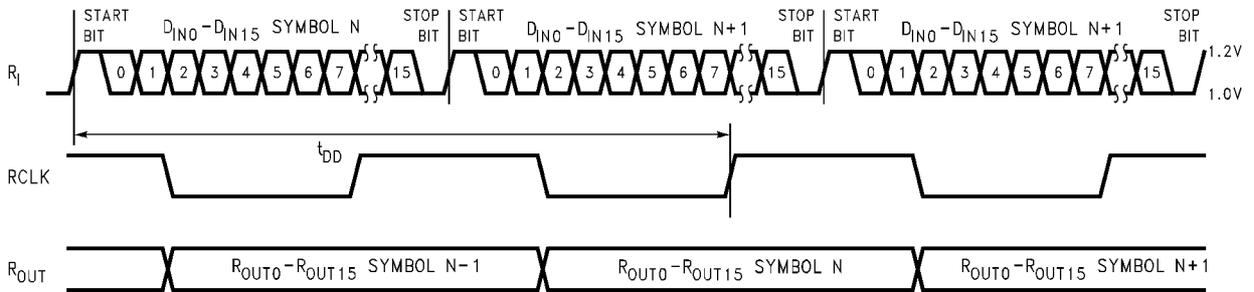


FIGURE 10. Deserializer Delay

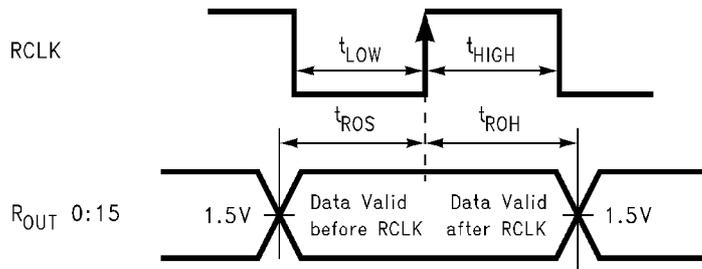


FIGURE 11. Deserializer Setup and Hold Times

AC タイミング図およびテスト回路 (つづき)

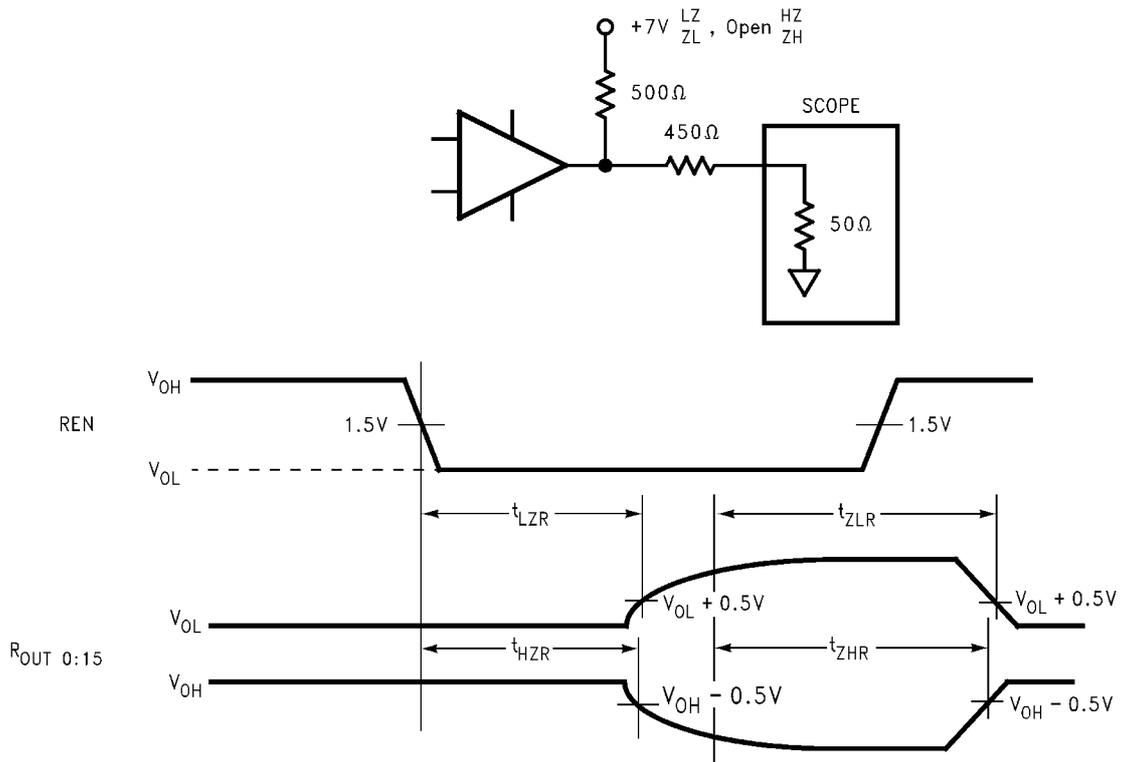


FIGURE 12. Deserializer TRI-STATE Test Circuit and Timing

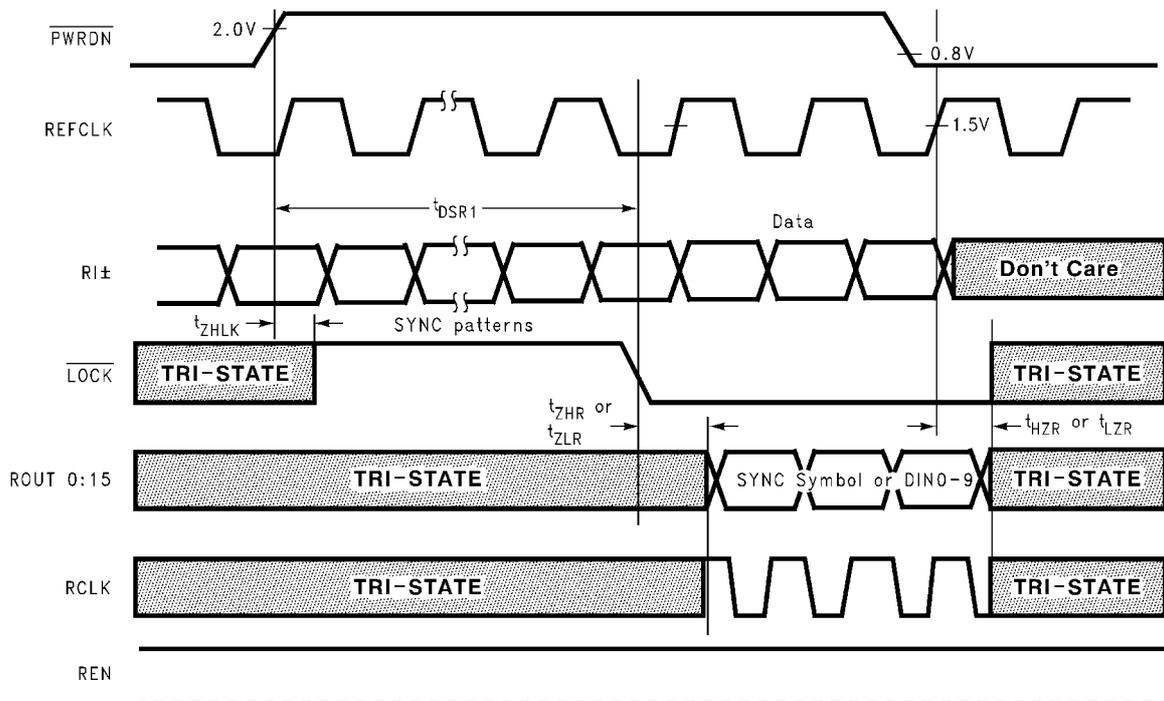


FIGURE 13. Deserializer PLL Lock Times and  $\overline{\text{PWRDN}}$  TRI-STATE Delays

AC タイミング図およびテスト回路 (つぎ)

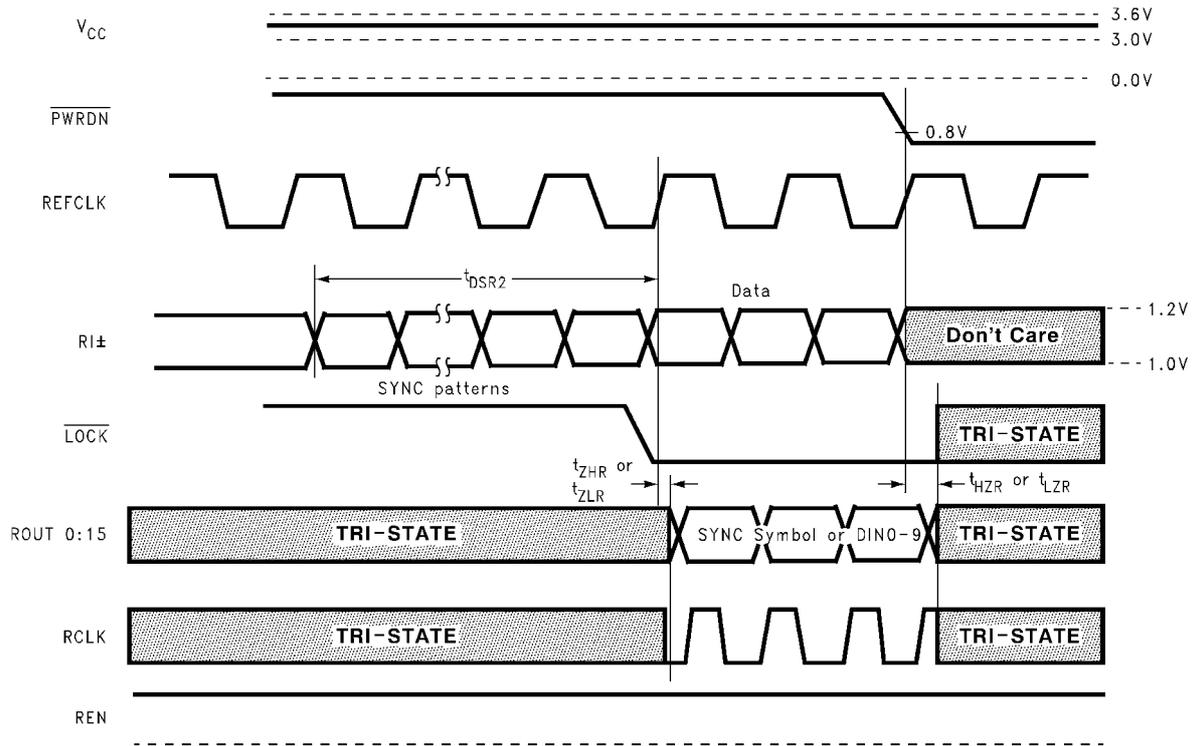


FIGURE 14. Deserializer PLL Lock Time from SyncPAT

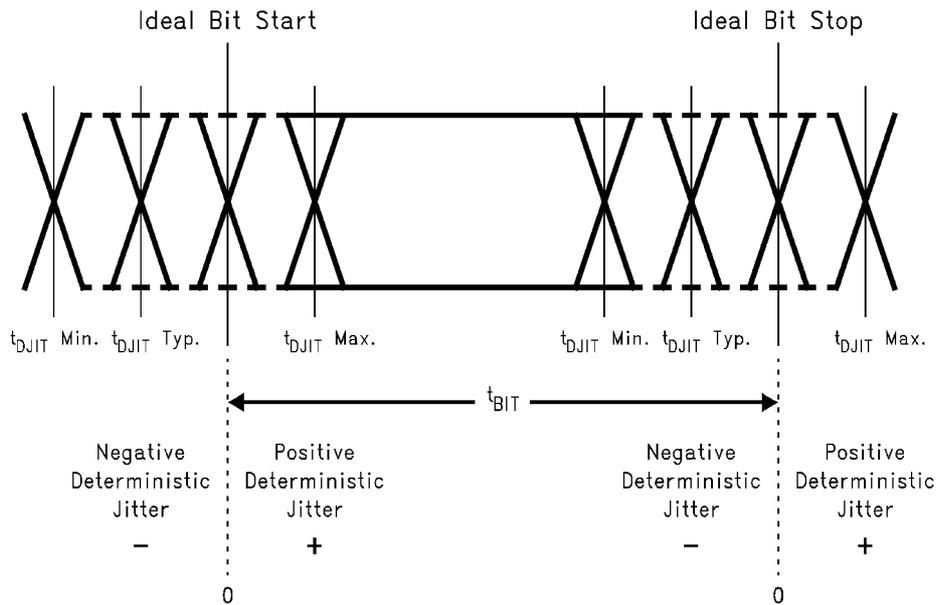
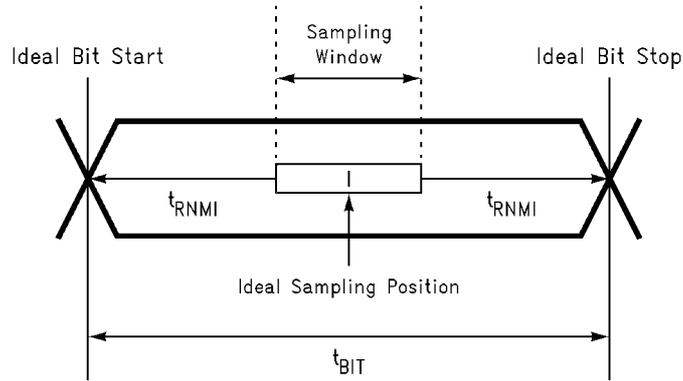


FIGURE 15. Deterministic Jitter and Ideal Bit Position

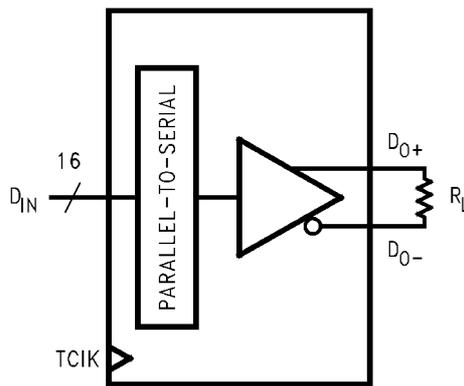
AC タイミング図およびテスト回路 (つぎ)



$$\text{Ideal Sampling Position} = \frac{(t_{BIT})}{2}$$

$t_{RNMI-L}$  は、上図で左側のノイズ・マージンを意味します。負の値は、理想的なサンプリング・タイミングに対して時間的に前であることを示しています。  
 $t_{RNMI-R}$  は、上図で右側のノイズ・マージンを意味します。正の値は、理想的なサンプリング・タイミングに対して時間的に後ろであることを示しています。

FIGURE 16. Deserializer Noise Margin ( $t_{RNMI}$ ) and Sampling window



$$V_{OD} = (D_{0+}) - (D_{0-})$$

差動出力信号は、デバイスがデータ転送モードにおいて  $(D_{0+}) - (D_{0-})$  で示されます。

FIGURE 17.  $V_{OD}$  Diagram

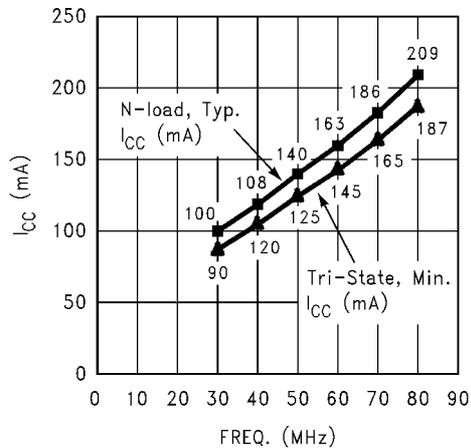


FIGURE 18.  $I_{cc}$  vs Freq

AC タイミング図およびテスト回路 (つき)

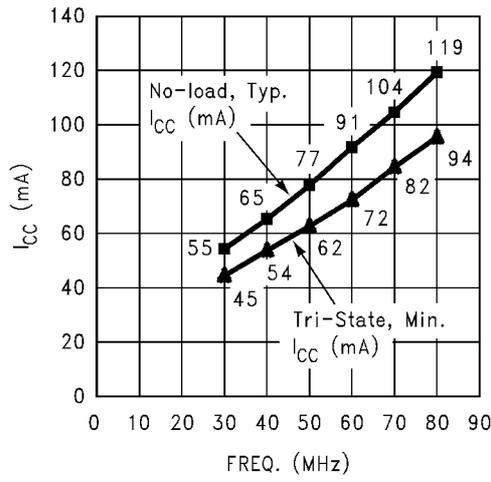


FIGURE 19. I<sub>CC</sub> vs Freq (Rx only)

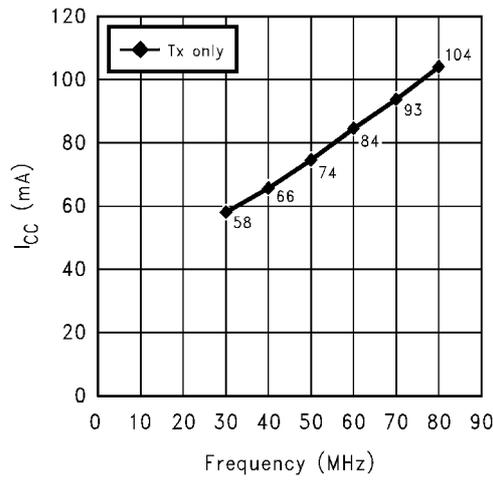


FIGURE 20. I<sub>CC</sub> vs Freq (Tx only)

## 機能説明

DS92LV16 は、シリアライザとデシリアライザを 1 チップに統合したデバイスです。シリアライザは 16 ビットの LVCMOS または LVTTL の入力データを、クロック情報を埋め込んだ BLVDS シリアル・データ列に変換します。デシリアライザはシリアル・データから、クロックとデータを分離し、元の 16 ビット・データを出力します。

DS92LV16 はトランスミッタ・ブロック (シリアライザ) とレシーバ・ブロック (デシリアライザ) を内蔵しており、それぞれが独立して動作可能です。さまざまなアプリケーションに柔軟に対応できるよう、各ブロック単位でパワーダウン制御を行えるようになっています。例えば、冗長データ・パスとして設けたトランシーバを、電力節減状態のままでスタンバイ動作させることができます。このように内部ブロックが独立しているため、DS92LV16 は、単体のシリアライザ、または単体のデシリアライザ、または全二重の SER/DES として構成可能です。

DS92LV16 のシリアライザとデシリアライザは、それぞれ初期化、データ転送、同期再確立の 3 つの動作モードを持っています。また、非動作モードとして、パワーダウンと TRI-STATE の 2 つのモードがあります。

次の項でそれぞれの動作状態について説明します。

### 初期化

DS92LV16 がデータ送受信を行う前に、送受信の相手となる他の DS92LV16 とのリンクを初期化しなければなりません。初期化とは、シリアライザおよびデシリアライザの PLL を、ローカル・クロックに同期させることを意味します。ローカル・クロックは、システム内で同一のクロック周波数を用いるか、または異なるクロック・ソースを用いている場合は規定の周波数範囲にしなければなりません。初期化では、まずシリアライザの PLL をローカル・クロックに同期させ、次にデシリアライザをシリアライザに同期させるステップを踏みます。

ステップ 1: シリアライザ / デシリアライザ各チップに  $V_{CC}$  が供給されると、チップに内蔵された電源オン制御回路によって各出力は TRI-STATE となり、内部回路はディスエーブルにされます。 $V_{CC}$  の電圧値が  $V_{CC\ OK}$  (2.2V) に達すると、それぞれの PLL はローカル・クロックに対してロックを開始します。シリアライザ側でのローカル・クロックは、送信クロック TCLK です。デシリアライザ側のローカル・クロックは、REFCLK です。ボード上の発振器または他のクロック源から特定のクロック入力  $TCLK$  および  $REFCLK$  に供給されます。

シリアライザ側は PLL が  $TCLK$  にロックしている間、出力は TRI-STATE 状態のままです。 $TCLK$  にロックした後、データまたは同期パターンの送出準備が完了しています。ロック後に SYNC 端子が "H" の場合、シリアライザ・ブロックは同期パターン (SYNC パターン) を生成し出力します。

デシリアライザは、PLL が  $REFCLK$  にロックしている間は出力を TRI-STATE 状態に保ちます。また、デシリアライザの LOCK 端子は、 $RIN + / -$  端子で受信したランダム・データまたは SYNC パターンに PLL がロックするまでの間は "H" を出力します。

ステップ 2: 初期化の終了段階では、デシリアライザの PLL をシリアライザと同期させる必要があります。初期化モードの第 2 のステップでは、シリアライザからデシリアライザに対してランダム・データ・パターン (非繰り返しパターン) または SYNC パターンを送出しなければなりません。SYNC パターンの場合、デシリアライザはある時間範囲内でロックを完了します。ただし、ランダム・データ・パターンの場合は、ロックに必要な時間はデータ・パターンに依存するため一定ではありません。

シリアライザから LVDS データ列として SYNC パターンが送られてくる場合、デシリアライザは SYNC パターンからクロックの立ち上がりエッジを検出し、150 サイクル後に同期を確立します。シリア

ライザからの送出データがランダム・データ・パターンの場合、クロックの立ち上がりエッジを検出してロックするまでに、一連の内部動作が必要となります。この内部動作はデータ・パターンに依存するため、ロックまでの時間を特定することはできません。埋め込みクロックに対してデシリアライザの PLL がロックに成功した時点で、デシリアライザの LOCK 端子は "L" となり、出力端子に出力されるデータは有効になります。LOCK 信号が "L" に変化するタイミングと出力端子に有効データが現れるタイミングは同じです。

シリアライザとデシリアライザ間のロックに SYNC パターンを使用するかランダム・データ・パターンを使用するかは、アプリケーションにより適切な方を選択します。SYNC パターンでの初期化を行うのであれば、受信対象となるデシリアライザの LOCK 端子出力を、シリアライザの SYNC 端子に戻るのが簡単です。

### データ転送

初期化が完了すると、シリアライザからデシリアライザに対するデータ転送が可能になります。シリアライザは 16 ビット・データ・ビットの前後にスタート・ビットとストップ・ビットを付加してシリアル・データ列を作成します。スタート・ビットは常に "H" で、ストップ・ビットは常に "L" です。両ビットはシリアル・データ列における埋め込みクロックとしても機能します。

シリアライザ・ブロックはパラレル・データ入力  $DIN [0:15]$  のデータを受け取り、それらのデータを  $TCLK$  の立ち上がりエッジで内部にラッチします。ただし、SYNC 入力が 6  $TCLK$  サイクルにわたって "H" の場合は、DS92LV16 はパラレル・データ入力  $DIN [0:15]$  の内部ラッチは行いません。シリアライザは、 $TCLK$  の 18 倍の周波数でデータとクロック・ビット (16 + 2 ビット) を送出します。例えば、 $TCLK$  が 60MHz ならば、シリアル転送レートは  $60 \times 18 = 1080\text{Mbps}$  となります。ただし、入力データは 16 ビットですので、データ・ペイロードの転送レートは  $TCLK$  の周波数の 16 倍です。例えば、 $TCLK$  が 60MHz ならば、ペイロードの転送レートは  $60 \times 16 = 960\text{Mbps}$  となります。 $TCLK$  はデータ・ソースから供給され、25MHz から 80MHz の範囲でなければなりません。

前述のようにデシリアライザがシリアライザに同期すると、LOCK 端子は "L" になり、データ出力  $ROUT [0:15]$  は有効になります。デシリアライザはロックした埋め込みクロックから複数の内部データ・ストローブ信号を生成し、また復元したクロックを  $RCLK$  端子に出力します。データ出力  $ROUT [0:15]$  は  $RCLK$  に同期しています。繰り返しになりますが、データ出力  $ROUT [0:15]$  は LOCK が "L" のとき有効で、"H" のときは無効です。

ロック周波数 80MHz において、デシリアライザの  $ROUT [0:15]$ 、 $LOCK$ 、 $RCLK$  端子はそれぞれ、少なくとも 3 つの CMOS 入力ゲート (typ 15pF 負荷) をドライブできます。このドライブ能力により、複数のデシリアライザ出力をバス接続し、複数の ASIC に入力することが可能になります。また、 $REN$  端子により全出力端子を TRI-STATE モードにできます。

デシリアライザの入力端子は、電源オフ状態 ( $V_{CC} = 0V$ ) またはデシリアライザ・ブロックがパワーダウン状態 ( $RPWDN^* = "L"$ ) のとき、ハイ・インピーダンスになります。

### 同期再確立

デシリアライザはロックを失うと自動的に同期の再確立を試みます。例えば、埋め込みクロック・エッジを 2 回にわたって検出できなかった場合、デシリアライザの PLL はロックを失い、LOCK 端子は "H" になります。続いてデシリアライザはランダム・データに対してロックを試みる動作モードに移ります。埋め込みクロック・エッジを探し、それが検出されると同期プロセスに進みます。

## 同期再確立 (つづき)

LOCK 端子の論理レベルはデータ出力 ROUT の有効性を示しており、LOCK が "L" ならば有効です。システムは ROUT が有効かどうか、常に LOCK 端子を監視していなければなりません。PLL が入力シリアル・データ列に対するロックを失ってから LOCK 信号が "H" に変化するまでに時間的な遅れが存在します。したがって、LOCK 信号が "H" になる前に受信したデータも有効でないことがあり得るという前提でシステムを設計しなければなりません。

再同期確立は初期化と同様に、ランダム・パターンで行う方法とシリアルライザの SYNC ピンにパルスを入力して SYNC パターンにより一定時間で同期させる方法とがあります。ロック時間はデータ・ストリームのデータ・パターンにより変動するため、正確なロック時間を予測するのは不可能です。ランダム・パターンに対するロック時間は、デシリアライザがパワーアップしたときの、入力データと REFCLK と最初の位相関係に依存します。一方、SYNC パターンを用いて強制的に同期確立を行う利点は、PLL が再ロックするまでの時間を設計者が把握できる点にあります。どちらを選択するかは設計者の判断にゆだねられます。一つの推奨方法として、デシリアライザの LOCK 出力を、SYNC パターン要求としてシリアルライザの SYNC 入力にフィードバックする方法があります。

ところで繰り返しデータ・パターンはその中の "L" "H" 遷移がストップ・ビットとスタート・ビットとして誤認識される可能性があるため、デシリアライザは繰り返しパターンを検出すると、PLL のロックを行わず埋め込みクロックの代わりにデータ・パターンにロックしてしまうのを防ぎます。そのような繰り返しパターンを RMT (repetitive multi-transition) と呼びます。RMT は、各転送サイクルに一つ以上の "L" "H" 遷移があり、それが複数の転送サイクルにわたって続くパターンです。たとえば任意のビット (DIN 15 以外) が "L" で続くビットが H だと、"L" "H" 遷移が起こります。内部回路は、埋め込みクロックの可能性のあるパターンが、1 つの転送サイクルに 2 つ以上あるかどうかを検出します。RMT パターンを検出すると、データ・パターンが変化するまで内部回路は LOCK 出力をアクティブにしません。データが RMT パターンから他のパターンに変わり、内部回路がシリアル・データ・ストリームの埋め込みクロック・ビットを認識できるようになると、デシリアライザは PLL をロックし、LOCK 出力を "L" にドライブするとともに ROUT 出力を有効にします。

## パワーダウン

パワーダウン・モードでは、シリアルライザまたはデシリアライザは低電力スリープ・モードとなり、初期化モードへの移行を待っている状態ともいえます。また、データ転送要求がないときに TPWDN\* および RPWDN\* を制御して消費電力を低減することもできます。RPWDN\* を "L" にすると、デシリアライザはパワーダウン・モードに入ります。パワーダウン・モードでは、デシリアライザの PLL は停止し、出力は TRI-STATE 状態となって、消費電流は  $\mu\text{A}$  オーダーに低減されます。

RPWDN\* を "H" にすると、デシリアライザはパワーダウン・モードから戻り、自動的に初期化モードに移ります。システムはデータ転送を開始する前に、初期化に必要な時間を見込んでおかなければなりません。

一方、TPWDN\* を "L" にすると、シリアルライザ・ブロックは低消費電力のパワーダウン・モードに入り、消費電流は  $\mu\text{A}$  オーダーに低減されます。パワーダウン・モードでは、PLL は停止し、出力は TRI-STATE になります。

シリアルライザをパワーダウン・モードから戻すには、TPWDN\* を "H" にします。シリアルライザがパワーダウン・モードから戻る際に、PLL が TCLK にロックするまでは初期化モードには移行しません。システムはデータ転送を開始する前に、これらの初期化に必要な時間を見込んでおかなければなりません。

## TRI-STATE

システムが REN 端子を "L" にすると、デシリアライザ出力は TRI-STATE 状態になります。対象となる端子はデシリアライザ出力 ROUT [0:15] と RCLK です。TRI-STATE 状態に移る前と制御端子 (RPWDN\*) の状態が同じであれば、システムが REN 端子を "H" にすることでデシリアライザは TRI-STATE に移る直前の動作モードに戻ります。

システムが DEN 端子を "L" にすると、シリアルライザ出力は TRI-STATE 状態になります。対象となる端子は LVDS です。TRI-STATE 状態に移る前と制御端子の状態が同じであれば、システムが DEN 端子を "H" にすることでシリアルライザは TRI-STATE に移る直前の動作モードに戻ります。

## ループバック・テスト動作

DS92LV16 は、デバイスの内部機能、および伝送線路の短絡や切断の有無をテストする 2 種類のループバック・モードを備えています。LINE\_LE 端子を "H" にしてライン・ループバック・モードに設定すると、シリアル入力データ (RIN + / -) はデシリアライザ・ブロックでパラレル・データに復元されて、パラレル・データ出力端子 (ROUT [0:15]) に出力するとともにシリアルライザに送られ、再度シリアル・データ列に変換してシリアル・データ出力端子 (DO + / -) から出力されます。すなわち、伝送線路からシリアル・データ入力端子 (RIN + / -) に入力されたシリアル・データは、デシリアライザとシリアルライザの両ブロックを経由して再び伝送線路に戻されます。

LINE\_LE 端子を "H" にしてローカル・ループバック・モードに設定すると、パラレル入力データ (DIN [0:15]) はシリアルライザでシリアル・データ列に変換されたあと、内部でデシリアライザに戻されパラレル・データに復元され、パラレル・データ出力端子 (ROUT [0:15]) から出力されます。すなわち、パラレル・データ入力端子に入力されたデータは、シリアルライザとデシリアライザのすべての機能ブロックを経由して再びパラレル・データ出力端子に出力されます。ローカル・ループバック・モード中は、シリアル・データ出力 (DO + / -) はディスエーブルになります。

## アプリケーション情報

### DS92LV16 の使用

DS92LV16 はシリアルライザとデシリアライザを 1 つのチップに結合したもので、16 ビットのパラレル TTL データを最大 1.28Gbps のシリアル Bus LVDS で転送します。入力データのシリアル化は、シリアルライザに内蔵された PLL を用いて行われ、データに 2 ビットのクロック情報が埋め込まれます。デシリアライザの内蔵 PLL は、別の基準クロック REFCLK を用いて受信データ列からクロック情報とデータを抽出します。また、デシリアライザは受信クロック情報から PLL のロック状態を決定し、LOCK 出力によりロックが外れたことを示します。

### 電源に関する考慮事項

シリアルライザ、デシリアライザともに CMOS デバイスであるため、どちらも低消費電力です。さらに定電流源の性質を持つ差動の LVDS の採用により、CMOS 設計における周波数と  $I_{CC}$  の相関カーブの勾配が小さくなっています。

### デシリアライザの電源投入

REFCLK 入力はデシリアライザが電源オンされる前から入力できますが、入力データにロックさせるために供給し続けなければなりません。デシリアライザの出力は、データ受信を検知して入力データにロックがかかるまでは TRI-STATE のままです。

## アプリケーション情報

### ノイズ・マージン

デシリアライザのノイズ・マージンとは、デシリアライザが確実にデータを受信できる、入力ジッタ(位相ノイズ)の総和です。さまざまな環境条件やシステム上の要因が関係します。

シリアライザ: TCLK ジッタ、 $V_{CC}$  ノイズ (ノイズ帯域幅と帯域外ノイズ)

伝送メディア: ISI、 $V_{CM}$  ノイズ

デシリアライザ:  $V_{CC}$  ノイズ

Figure 16 にレシーバのノイズマージンの考え方を示します。

### ロック喪失からの復帰

データ転送中にデシリアライザのロックが外れた場合、既に受信したデータのうち最大 5 サイクル分が無効となります。これはロック検出回路の遅延によるためです。ロック検出回路は、ロック喪失を検知するために 2 列分の無効なクロック情報を受信する必要があります。クロック情報が失われているため、該当サイクルのデータも失われます。デシリアライザの LOCK ピンが LOW になった場合は、ロックが回復したあとで少なくとも直前の 5 サイクル分のデータを再送する必要があります。

「機能説明」の項の「同期再確立」で述べたように、シリアライザが SYNC パターン、またはデータ・パターンに依存して同期に時間を要するランダム・パターンを送出することにより、デシリアライザはロックを回復します。

### 入力フェール・セーフ

デシリアライザとシリアライザの接続が切り離された場合、デシリアライザの回路が、入力端子のノイズをデータまたはクロックとして誤認識しないように働きます。このとき出力は TRI-STATE となり、デシリアライザはロックを失います。

### 活線挿抜

次の規則に従えば、すべての LVDS デバイスは LVDS バスに対して活線挿抜が可能です。接続時はグラウンド端子を最初に接続し、続いて VCC 端子、最後に I/O 端子の順で接続します。抜くときは、I/O 端子、VCC 端子、グラウンド端子の順で切り離してください。

### プリント基板と電源系の注意事項

BLVDS デバイスを搭載するプリント基板は、デバイスに対してノイズの少ない電源を供給するように、レイアウトと層構成を設計しなければなりません。優れたレイアウトでは、不必要にノイズを拾ったり帰還や干渉を最小にするために、高い周波数の信号および高レベルの入出力信号の分離を行います。また、2 ミルから 4 ミル程度の薄い誘電体材料を電源層とグラウンド層の間に挟むと、電源系の性能を大きく改善できる場合があります。つまり、この方式によりプリント基板の電源層の容量が増えるため、とくに 50MHz 以上の高周波の電源ノイズに対するフィルタ特性を改善する効果があり、併せて外付けバイパス・コンデンサの容量や配置に対する条件を緩やかにします。外付けバイパス・コンデンサは、高周波セラミック・コンデンサとタンタル電解コンデンサの両方を用いてください。高周波セラミック・コンデンサの値は、0.01  $\mu\text{F}$  から 0.1  $\mu\text{F}$  の範囲を使用します。また、タンタル・コンデンサの値は、2.2  $\mu\text{F}$  から 10  $\mu\text{F}$  の範囲です。タンタル・コンデンサの電圧定格は、使用する電源電圧の 5 倍以上にします。

各電源ピンと高周波バイパス・コンデンサのハンダ・パターンには、2 つのスルーホールを設けることを推奨します。スルーホールを 2 つにすると、電源またはグラウンドに対するインダクタンス成分が最高で 1/2 に低減されるため、バイパス・コンデンサの実効周波数が向上します。電源端子の可能な限り近くに高周波バイパス・コンデンサを配置し、またコンデンサの配線パターンは、インピーダンスを下げるため通常の 50  $\Omega$  配線ではなく、配線幅を広く取ってください。コンデンサには寄生インダクタンス分が少ない表面実装

品を推奨します。1 つの電源ピンに複数のコンデンサを設ける場合は、容量の小さなコンデンサの方を端子側に置きます。また大容量コンデンサをプリント基板の電源接続部分に設けてください。低周波スイッチング・ノイズを平滑化する容量は 50  $\mu\text{F}$  から 100  $\mu\text{F}$  の範囲が一般的です。電源端子とグラウンド端子は電源層およびグラウンド層に直接接続し、またバイパス・コンデンサはコンデンサの両端に設けたビアを經由して電源層およびグラウンド層に接続することを推奨します。電源端子またはグラウンド端子からバイパス・コンデンサへ配線を行うと、電源系のインダクタンス分を増加させてしまうからです。

外付けのバイパス・コンデンサは、静電容量の温度依存性が小さい X7R 特性の、0603 等の小型チップ・コンデンサを推奨します。寸法が小さいため、コンデンサの寄生インダクタンス分も小さいという利点があります。なお設計の際には、通常 20 から 30MHz の範囲にある外付けバイパス端子コンデンサの共鳴周波数に注意してください。また効果的なバイパスを行うために、複数のコンデンサを用いて、対象となる周波数に対する電源系のインピーダンスを下げる手法がしばしば使われます。系の動作周波数が高い場合は、高周波のインピーダンスを下げるため、電源端子またはグラウンド端子から各層に対して 2 つのビアを設ける手法もよく用いられています。

デバイスによっては、内部の回路部分ごとに電源端子とグラウンド端子が分離されているものがあります。電源系を分離する目的は、スイッチング・ノイズの影響を回路間で遮断するためです。このようなデバイスに対して、通常、プリント基板の層を分ける必要はありません。一般にデバイスの端子説明から、どの電源 / グラウンドのペアがどの回路部分に対応するかが分かります。なお場合によっては、PLL のようなノイズに敏感な回路部分にクリーンな電源を供給するために、外部フィルタを用いるときがあります。

LVDS システムのプリント基板は、電源層とグラウンド層を含む 4 層以上のものを採用してください。CMOS (TTL) 信号系は、LVDS 信号にカップリングするのを防ぐため、LVDS 信号系から離して配置しなければなりません。LVDS インターコネクは一般的に、近接によってクローズド・カップリングとした 100  $\Omega$  の差動線路を推奨します。クローズド・カップリングされた線路は、カップリング・ノイズはレシーバ端でコモンモードとして現れるため除去されます。またクローズド・カップリングの線路は、放射ノイズが少ない利点も備えます。

LVDS インターコネクでは終端が必要です。ポイント・ツー・ポイント型の接続では、負荷端に終端を置かなければなりません。標準的な値は、線路の差動インピーダンスに整合する 100  $\Omega$  です。抵抗をレシーバ入力 of の可能な限り近くに配置し、レシーバから終端抵抗までのスタブ長は最短にしてください。

LVDS に関するそのほかの一般的な設計ガイドラインは、「LVDS オーナーズ・マニュアル」として、当社ウェブサイトにて PDF 形式で用意しています (<http://www.national.com/JPN/appinfo/lvds/>)。

以下に DS92LV16 に関する設計ガイドを示します。

### DS92LV16 BLVDS シリアライザ / デシリアライザのペア

以下は DS92LV16 に関する設計ガイドです。基板レベルおよびシステム・レベルで規定されるそのほかの正確な設計ガイドについては触れていません。本ガイドでは、基板の層構成、電源供給、電源、集積回路の電源で必要となるそのほかの事項について述べています。

## アプリケーション情報 (つぎ)

**DVDD** = デジタル回路部用電源端子

DVDD は、DS92LV16 のデジタル回路部とレシーバの出力バッファに対する電源端子です。トランスミッタの DVDD は、設計上それほどクリティカルではありません。ただしレシーバの DVDD は、出力が同期スイッチング動作を行うため、十分なバイパスを行う必要があります。レシーバの各 DVDD 端子は、それぞれ 4 個の出力バッファに電源を供給しています。ローカル・キャパシタンスに必要な容量の推定によると、少なくとも 22nF が必要であることを示しています。バイパス・コンデンサの値は、最大短絡電流 ( $4 \times 70 = 280\text{mA}$ ) の 4 倍にデバイスの立ち上がり時間 (4ns) を乗じ、VDD の最大許容電圧低下 (50mV と仮定) で除して求めると、最小でも 22.4nF が必要であると見積もられます。コンデンサの系列容量に繰り上げ、0.1 $\mu\text{F}$  を各 DVDD ピンに使用してください。

**PVDD** = PLL 回路部用電源端子

PVDD は PLL 回路に対する電源端子です。DS92LV16 は 2 系統の PLL と電源端子を備えています。PLL はジッタを抑えるために、クリーンな電源を必要とします。電源に 300kHz から 1MHz のノイズが重畳していると出力ジッタが増加してしまいますが、電源によってはスイッチング周波数、またはその高調波がこの周波数帯に存在します。そのためノイズ帯のフィルタが必要になる場合があります。安定した VDD を得るには、高周波 (クロック基本周波数) に対して良好な特性を持ち、かつノイズ帯を除去できるノッチ・フィルタが最適です。ノッチ・フィルタは 型フィルタ (CRC 接続または CLC 接続) で構成できます。フィルタの直列抵抗分により電圧降下が生じる可能性があるため、各 PLL 個別にフィルタを設けるようにしてください。また 型フィルタは PVDD 端子に近接して配置する必要があります。なお 2 系統の PVDD に対して電源層を分ける必要はありません。

**AVDD** = LVDS 回路部用電源端子

AVDD は LVDS 回路に対する電源端子です。DS92LV16 は 4 本の AVDD 端子を備えています。ただし回路の特質上、それら端子に流れる電流は大きくはありません。したがってバイパス・コンデンサは各ピンとも 0.1 $\mu\text{F}$  で充分です。実装面積に余裕がある場合は、高周波に対するフィルタとして、0.1 $\mu\text{F}$  コンデンサに並列に 0.01 $\mu\text{F}$  のコンデンサを接続してください。

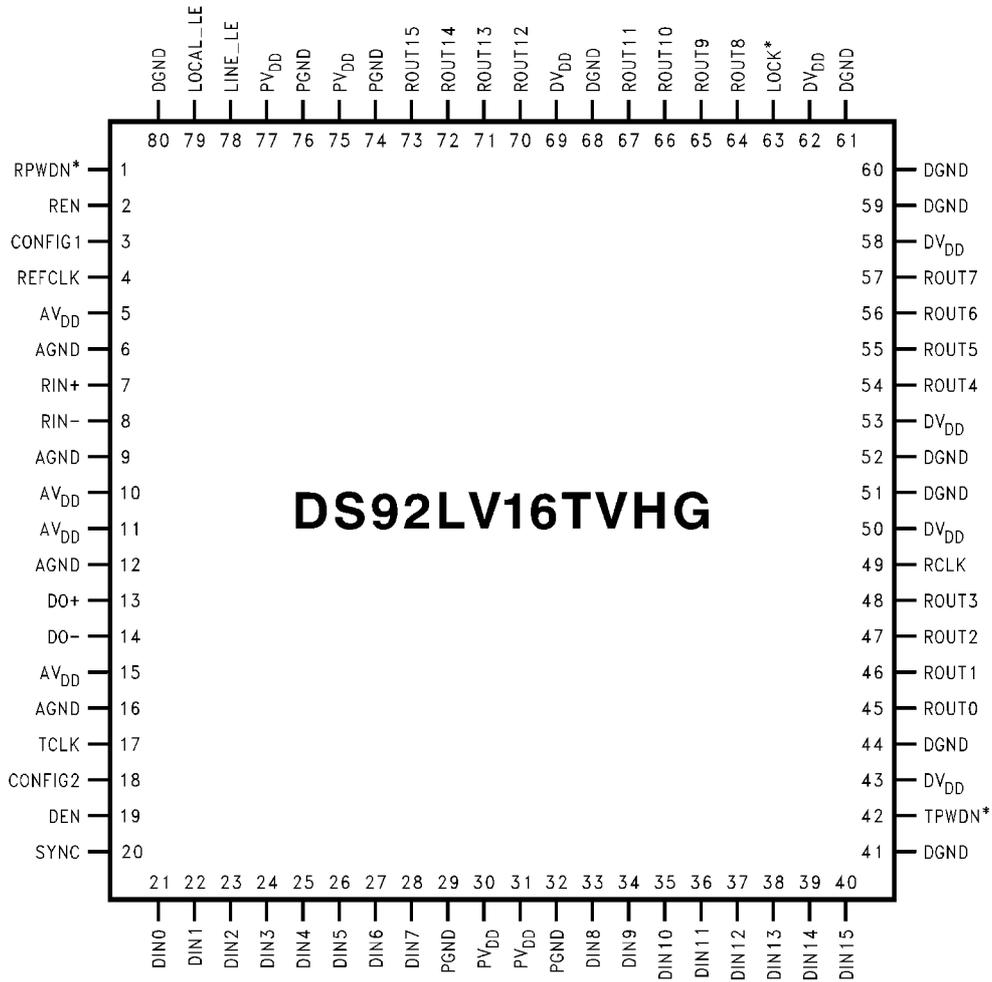
## グラウンド

AGND は、LVDS 信号のコモンモード電流のリターンとして LVDS ケーブルのコモン信号に接続してください。LVDS 電流はほとんどが奇数モードとして流れるので、インターコネクタ内でリターンします。ただし一部の電流は、ノイズ・カップリングやドライバの不均衡等により偶数モードとして流れます。偶数モードの電流は、低インピーダンスの経路を設けてリターンさせなくてはなりません。

そのため DVDD、PVDD、AVDD は、一様な面としてグラウンド層を構成することを推奨します。層に切れ目など不連続箇所が存在すると、グラウンド・ループが構成されたり、デバイスの各グラウンド端子におけるグラウンド電位に差異を生じる恐れがあるからです。

配置図

DS92LV16TVHG  
Top View



## 端子説明

端子番号	端子名	I/O	説明
1	RPWDN*	CMOS, I	RPWDN* = "L" でデシリアライザを低消費電力のスタンバイ・モードにします。デシリアライザの PLL はロックを失います。(Note 8)
2	REN	CMOS, I	REN = "L" でデシリアライザ出力を TRI-STATE にします。デシリアライザの PLL はロックを維持します (「LOCK 端子の説明」を参照)。(Note 8)
3	CONFIG1		コンフィギュレーション端子です。プルアップ抵抗により "H" レベルに固定してください。開放 (NC) および "L" 固定は将来の拡張用として予約されています。
4	REFCLK	CMOS, I	デシリアライザ回路用の基準クロック入力です。
5、10、11、15	AVDD		アナログ回路用の電源です。
6、9、12、16	AGND		アナログ回路のグラウンドです。
7	RIN +	LVDS, I	デシリアライザの LVDS 非反転差動入力です。
8	RIN -	LVDS, I	デシリアライザの LVDS 反転差動入力です。
13	DO +	LVDS, O	シリアライザの LVDS 非反転差動出力です。
14	DO -	LVDS, O	シリアライザの LVDS 反転差動出力です。
17	TCLK	CMOS, I	シリアライザの基準クロック入力です。入力データ DIN のラッチ・ストロブ、およびシリアライザ PLL のロックに使用されます。「シリアライザの TCLK に対するタイミング仕様」の項を参照してください。
18	CONFIG2		コンフィギュレーション端子です。プルアップ抵抗により "H" レベルに固定してください。開放 (NC) および "L" 固定は将来の拡張用として予約されています。
19	DEN	CMOS, I	DEN = "L" でシリアライザ出力を TRI-STATE にします。シリアライザの PLL はロックを維持します。(Note 8)
20	SYNC	CMOS, I	SYNC = "H" で、(複数の) デシリアライザでロックを行うための基準パターンとして、シリアライザはデータ入力を無視して SYNC パターンを送信します。「機能説明」の項を参照してください。(Note 8)
21、22、23、24、25、26、 27、28、33、34、35、36、 37、38、39、40	DIN (0:15)	CMOS, I	シリアライザへのパラレル・データ入力です。(Note 8)
29、32	PGND		PLL 回路のグラウンドです。
30、31	PVDD		PLL 回路用の電源です。
41、44、51、52、59、60、 61、68、80	DGND		デジタル回路のグラウンドです。
42	TPWDN*	CMOS, I	TPWDN* = "L" で、シリアライザを低消費電力のスタンバイ・モードにします。シリアライザの PLL はロックを失います。(Note 8)
43、50、53、58、62、69	DVDD		デジタル回路用の電源です。
45、46、47、48、54、55、 56、57、64、65、66、67、 70、71、72、73	ROUT (0:15)	CMOS, O	デシリアライザのパラレル・データ出力です。
49	RCLK	CMOS, O	復元クロックです。埋め込みクロックから抽出されたパラレル・データ・クロックが出力されます。本クロックはデバイス内部で ROUT [0:15] のストロブとして用いられます。出力は LVCMOS レベルです。
63	LOCK*	CMOS, O	LOCK* はデシリアライザ PLL のロック状態を示します。LOCK* = "H" のときデシリアライザの PLL はロックされておらず、"L" のときロックされていることを示します。
74、76	PGND		PLL 回路のグラウンドです。
75、77	PVDD		PLL 回路用の電源です。
78	LINE_LE	CMOS, I	LINE_LE = "H" のとき、ライン・ループバック・モードになります。RIN + / - から受信されたシリアル・データは、DO + / - から伝送線路に戻されます。(Note 8)
79	LOCAL_LE	CMOS, I	LOCAL_LE = "H" のとき、ローカル・ループバック・モードになります。DIN [0:15] から入力されたパラレル・データは ROUT [0:15] から出力されます。(Note 8)

**Note 8:** 開放の場合、内部プルダウン抵抗により "L" レベルになります。



# ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated (TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということを含みません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2012, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
    - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
  4. 機械的衝撃
    - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
  5. 熱衝撃
    - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
  6. 汚染
    - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
    - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上