

DS90CR485

DS90CR485 133MHz 48-bit Channel Link Serializer [6.384 Gbps]



Literature Number: JAJ969

ご注意：この日本語データシートは参考資料として提供しており、内容が最新でない場合があります。製品のご検討およびご採用に際しては、必ず最新の英文データシートをご確認ください。



2003年9月

DS90CR485

133MHz、48ビット、Channel Link シリアライザ (6.384Gbps)

概要

DS90CR485 は、24本の LVC MOS/LVTTL 入力をクロックの両エッジでサンプリし (クロック・サイクルあたり 48ビット・データ)、8系統の低電圧差動信号 (LVDS) ストリームに変換するシリアライザです。位相ロックされた送信クロックは、9ビット目の LVDS リンクとしてデータ・ストリームと並列に送信されます。ビット数の多い TTL バスをビット数の少ない LVDS ラインに変換すれば、ケーブルとコネクタのサイズおよびコストを削減できます。データ入力はクロックの立ち上がりエッジと立ち下りエッジの両方でスロープされます。これによって、ホスト・チップとシリアライザ間に必要なピン数を削減でき、あわせてプリント基板の配線が容易になります。

DS90CR485 シリアライザは3つの点を改良することにより、以前の Channel Link デバイスに比べて高いバンド幅をサポートし、長いケーブルをドライブできるようになりました。バンドを上げるために、最大クロック周波数を 133MHz に上げ、8ペアのシリアル LVDS 出力を備えました。遷移時の出力電流を増大させてケーブル負荷の影響を打ち消す、プリエンファシス機能を搭載し、ユーザー設定によって、ケーブルに対するドライブ能力を高められます。あわせて転送サイクルごとの DC バランスを取るオプション機能も、符合間干渉 (ISI) の低減に寄与します。プリエンファシスと DC バランスによって、ケーブル端のレシーバで、歪みの小さいアイ・パターンを得られます。最後に、ケーブル・デスクュー機能が長いケーブルでのペア間スキューを吸収します。以上の3項目の改良により、長いケーブルのドライブができるようになりました。

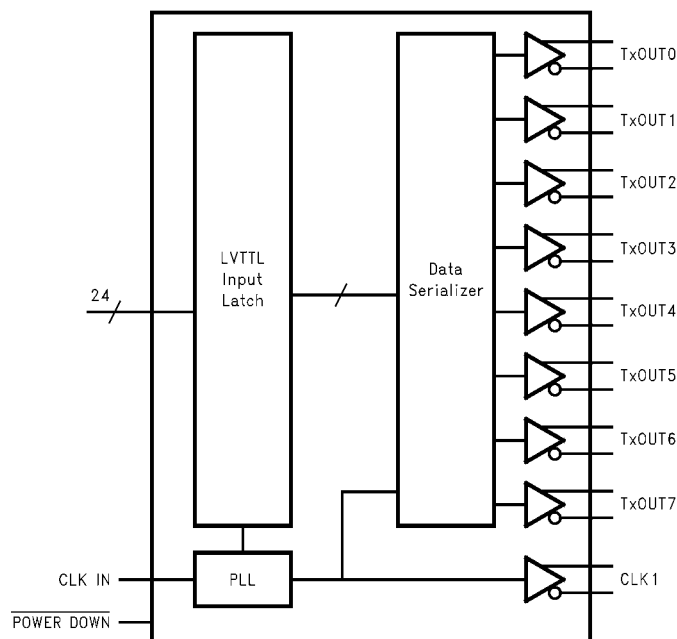
本チップセットは、高スループットの1対1のアプリケーションで問題となる EMI とインターコネクタに必要な実装サイズを解決する理想的なソリューションです。

DS90CR485 は、DS90CR486 Channel Link レシーバとの併用を前提に設計されています。また、DS90CR482 や DS90CR484 など、従来の Channel Link レシーバと下位互換性を備えています。詳細は、「アプリケーション情報」を参照してください。

特長

- 最大スループット 6.384Gbps
- 66MHz ~ 133MHz の入力クロック周波数に対応
- ケーブルおよびコネクタのサイズとコストの削減
- ケーブル負荷の影響を低減するプリエンファシス
- 符合間干渉を低減する DC バランス
- 24ビット・ダブルエッジ入力
- 3V 耐圧の LVC MOS/LVTTL 入力
- 低消費電力、2.5V 電源
- フローズルー・ピン出力
- 100ピン TQFP パッケージ
- TIA/EIA-644-A LVDS 標準に準拠

一般的なブロック図



DS90CR485 133MHz、48ビット、Channel Link シリアライザ (6.384Gbps)

絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電気的信頼性試験方法の規格を参照ください。

電源電圧 (V_{CC})	- 0.2V ~ + 2.7V
電源電圧 (V_{CC3})	- 0.3V ~ + 3.6V
LVC MOS/LVTTL 入力電圧	- 0.3V ~ ($V_{CC3} + 0.3V$)
LVDS 出力電圧	- 0.3V ~ ($V_{CC} + 0.3V$)
LVDS 出力短絡時間	連続
パッケージ最大消費電力 (25 °C)	
100 TQFP パッケージ	2.9W
TQFP パッケージ・デレーティング + 25 °C 以上	23.8mW
リード温度 (ハンダ付け、4 秒)	+ 260
接合部温度	+ 150
保存温度範囲	- 65 ~ + 150

ESD 耐圧

(人体モデル、1.5k Ω 、100pF)

I/O および制御ピン	> 2 kV
すべての電源およびグラウンド・ピン	> 1.5kV
(EIAJ、0 Ω 、200pF)	> 200V

推奨動作条件

	最小値	代表値	最大値	単位
電源電圧 (V_{CC})	2.37	2.5	2.62	V
電源電圧 (V_{CC3})	2.37	2.5/3.3	3.46	V
動作温度範囲 (T_A)	- 10	+ 25	+ 70	
電源電圧ノイズ			100	mV _{p-p}
クロック・レート	66		133	MHz

電気的特性

特記のない限り、推奨動作条件における電源電圧および温度範囲に適用。(Note 2)

Symbol	Parameter	Conditions	Min	Typ	Max	Units	
LVC MOS/LVTTL DC SPECIFICATIONS (All input pins.)							
V_{IH}	High Level Input Voltage		2.0		V_{CC3}	V	
V_{IL}	Low Level Input Voltage		GND		0.8	V	
V_{CL}	Input Clamp Voltage	$I_{CL} = -18$ mA		-0.8	-1.5	V	
I_{IN}	Input Current	$V_{IN} = 0.4V$ or V_{CC}		+1.8	+15	μ A	
		$V_{IN} = GND$	-15	0		μ A	
LVDS DC SPECIFICATIONS (All output pins TxOUTnP, TxOUTnM, CLKnP and CLKnM)							
V_{OD}	Differential Output Voltage	$R_L = 100\Omega$	250	345	450	mV	
ΔV_{OD}	Change in V_{OD} Between Complimentary Output States				35	mV	
V_{OS}	Offset Voltage		0.80	1.125	1.35	V	
ΔV_{OS}	Change in V_{OS} Between Complimentary Output States				35	mV	
I_{OS}	Output Short Circuit Current	$V_{OUT} = 0V$, $R_L = 100\Omega$		-3.5	-15	mA	
I_{OZ}	Output TRI-STATE Current	$\overline{PD} = 0V$, $OUTM = OUTP = 0V$ or V_{CC}		± 1	± 10	μ A	
SUPPLY CURRENT							
I_{CCTW}	2.5V Supply Current Worst Case	$R_L = 100\Omega$, $C_L = 5$ pF, Worst Case Pattern, 100% Pre-emphasis BAL = Low, Figure 1	$f = 66$ MHz		160	230	mA
			$f = 100$ MHz		180	270	mA
			$f = 133$ MHz		210	310	mA
I_{CCTZ}	3.3V Supply Current Worst Case	$R_L = 100\Omega$, $C_L = 5$ pF, Worst Case Pattern, No Pre-emphasis BAL = Low, Figure 1,			68	105	μ A
					5	50	μ A
I_{CCTZ}	Supply Current Power Down	$\overline{PD} = Low$			5	50	μ A

推奨入力条件

特記のない限り、推奨動作条件における電源電圧および温度範囲に適用。(Note 2)

Symbol	Parameter	Min	Typ	Max	Units
TCIP	TxCLK IN Period (Figure 4)	7.52	T	15.15	ns
TCIH	TxCLK in High Time (Figure 4)	0.35T	0.5T	0.65T	ns
TCIL	TxCLK in Low Time (Figure 4)	0.35T	0.5T	0.65T	ns
TCIT	TxCLK IN Transition Time (Figure 3)	66MHz	0.5	2.4	ns
		133MHz	0.5	1.2	ns
TXIT	D0 to D23 Transition Time	66MHz	0.5	2.9	ns
		133MHz	0.5	1.75	ns

スイッチング特性

特記のない限り、推奨動作条件における電源電圧および温度範囲に適用。(Note 2)

Symbol	Parameter	Min	Typ	Max	Units	
LLHT	LVDS Low-to-High Transition Time (No pre-emphasis, PRE = open) (Figure 2) (Note 3)		0.2	0.4	ns	
	LVDS Low-to-High Transition Time (max. pre-emphasis, PRE = V _{CC}) (Figure 2) (Note 3)		0.12	0.2	ns	
LHLT	LVDS High-to-Low Transition Time (No pre-emphasis, PRE = open) (Figure 2) (Note 3)		0.19	0.4	ns	
	LVDS High-to-Low Transition Time (max. pre-emphasis, PRE = V _{CC}) (Figure 2) (Note 3)		0.1	0.2	ns	
TCCS	TxOUT Channel-to-Channel Skew		20		ps	
TPPOS	Transmitter Output Pulse Position. (Note 4)	f = 133 MHz	-100	+100	ps	
		f = 100 MHz	-150	+150	ps	
		f = 66 MHz	-200	+200	ps	
TSTC	TxIN Setup to CLKIN at 133 MHz (Note 5), (Figure 5)	0.5			ns	
THTC	CLKIN to TxIN Hold at 133 MHz (Note 5), (Figure 5)	0.5			ns	
TJCC	Transmitter Jitter Cycle-to-Cycle (Note 6)	f = 133 MHz		40	70	ps
		f = 100 MHz		45	80	ps
		f = 66 MHz		50	100	ps
BWPLL	PLL Bandwidth ≥ 66MHz		600		kHz	
TPLLS	Transmitter Phase Lock Loop Set (Figure 6)			10	ms	
TPDD	Transmitter Powerdown Delay (Figure 7)			100	ns	
TPDL	Transmitter Input to Output Latency (Figure 8)	6(TCIP)	7(TCIP)	8(TCIP)	ns	

Note 1: 「絶対最大定格」を超えてデバイスを動作させた場合、安全性は保証されません。また、「絶対最大定格」の上限または下限でデバイスを動作させるべきであることを示しているわけではありません。デバイスの動作条件は「電気的特性」の各表により規定されています。

Note 2: Typ 値は V_{CC} = 2.5V、T_A = 25 °C の時です。

Note 3: LLHT と LHLT は、推奨周波数範囲でのトランスミッタ LVDS データ入力の立ち下がり遷移時間、および遷移時間の測定値です。各リミット値は実験による特性評価と、統計的解析を用いた設計上の保証 (GBD = Guaranteed By Design) にもとづいています。

Note 4: TPPOS は、推奨周波数範囲で、理想的なパルス位置と比較してトランスミッタの出力パルス位置を測定した値です。各リミット値は実験による特性評価と、統計的解析を用いた設計上の保証 (GBD = Guaranteed By Design) にもとづいています。

Note 5: TSTC と THTC は、トランスミッタ・データ入力の、クロック入力 CLKIN に対するセットアップ時間とホールド時間を測定した値です。各リミット値は実験による特性評価と、統計的解析を用いた設計上の保証 (GBD = Guaranteed By Design) にもとづいています。

Note 6: リミット値は、電源電圧範囲におけるデバイスのジッタ応答の特性評価にもとづいています。出力クロック・ジッタは、トランスミッタの入力クロック信号 (CLKIN) には 1 μs 周期のクロックを与えて、データ入力は DC バランスなして内蔵 PRBS ジェネレータをイネーブルにしてスイッチングさせた状態で、±10%のサイクル毎ジッタを用いて測定されています。代表値は、±100ps のサイクル毎ジッタをトランスミッタの入力クロック信号 (CLKIN) に与えて測定しています。

AC タイミング図

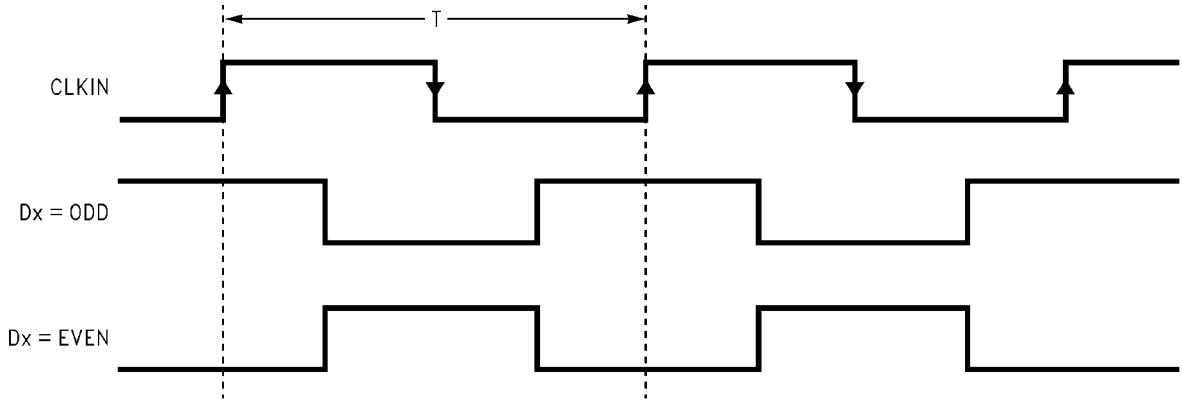


FIGURE 1. "Worst Case" Test Pattern (Note 7)

Note 7: ワorst・ケースのテスト・パターンは、デジタル回路、LVCMOS/LVTTL I/O を最も多くトグルさせます。

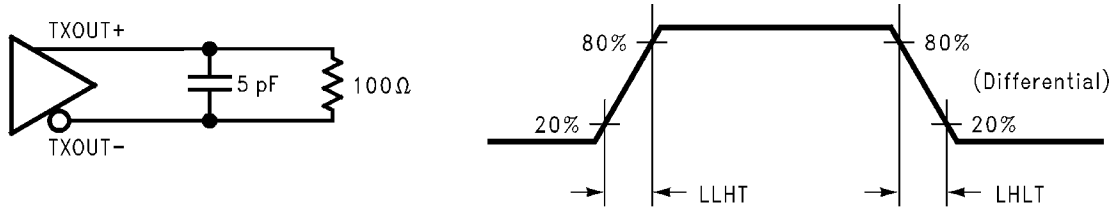


FIGURE 2. LVDS Output Load and Transition Times

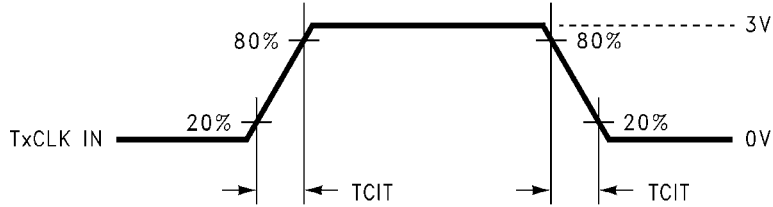


FIGURE 3. Input Clock Transition Time

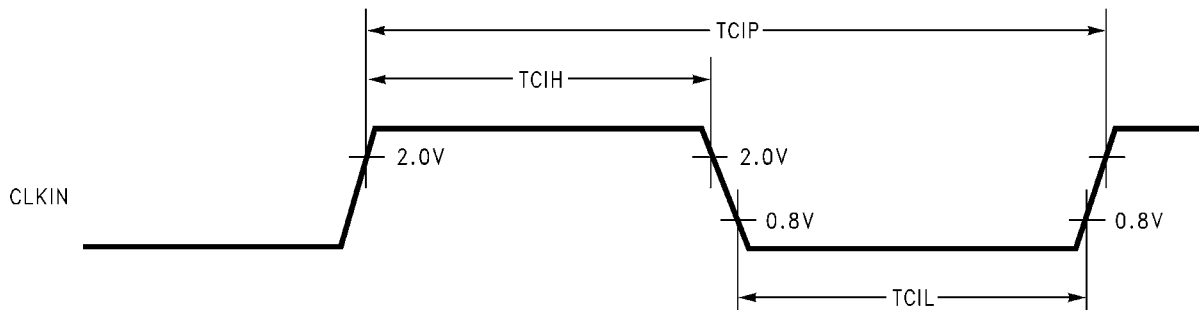


FIGURE 4. Input Clock High/Low Times

AC タイミング図 (つづき)

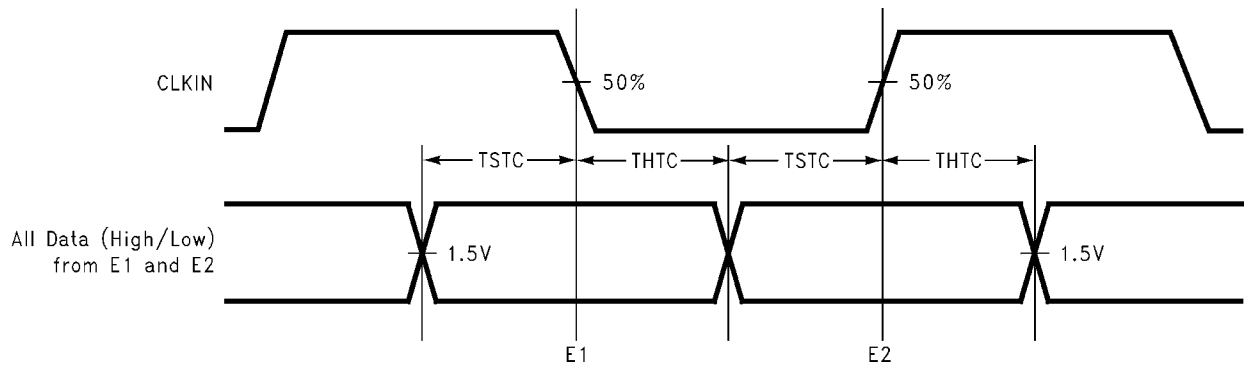


FIGURE 5. Setup/Hold with CLKIN

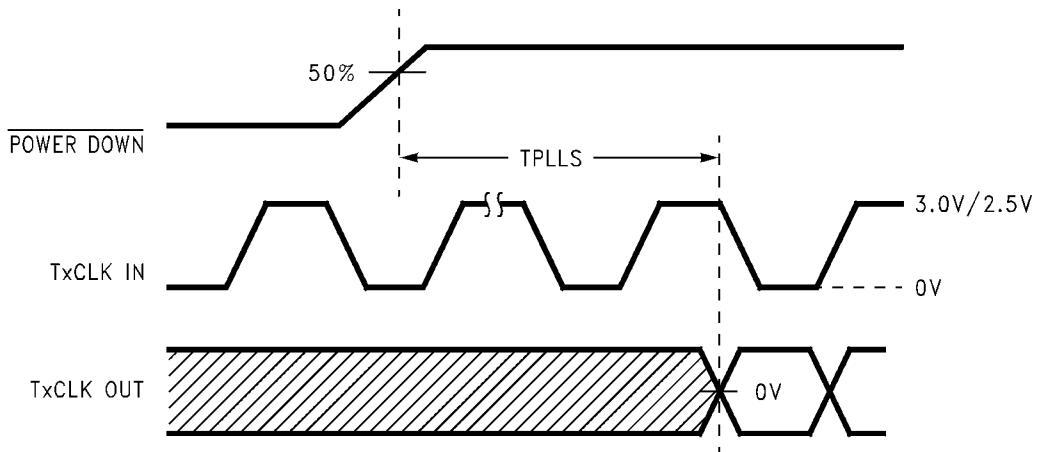


FIGURE 6. Phase Lock Loop Set Time ($V_{CC} = 2.37V$)

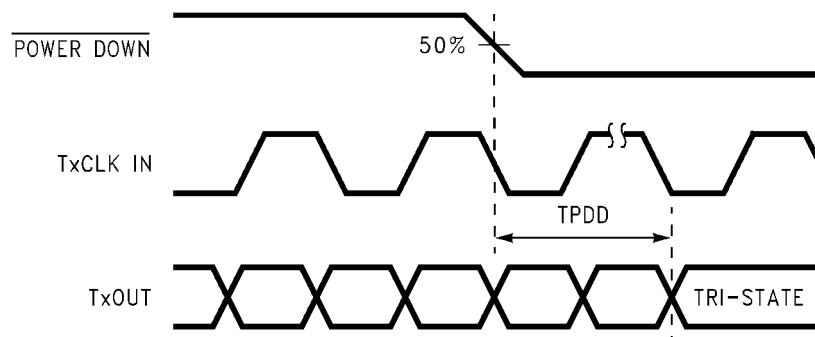


FIGURE 7. Power Down Delay

AC タイミング図 (つづき)

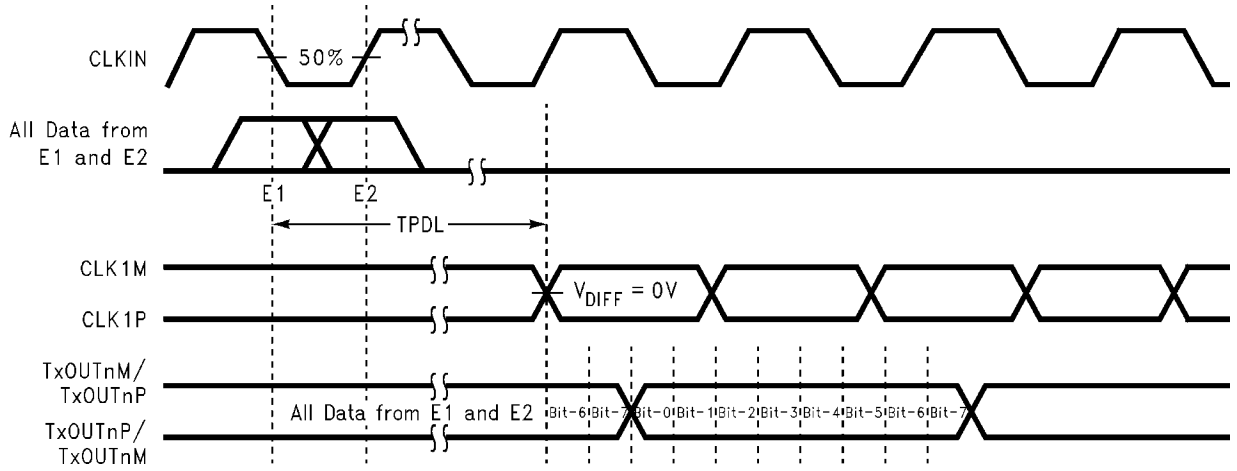


FIGURE 8. Input to Output Latency

DS90CR485 端子説明 Channel Link シリアライザ

端子名	I/O	端子番号	説明
D0-D23	I	24	LVC MOS/LVTTL レベルのシングルエンド入力です。V _{CC3V} = 3.3V のとき 3.3V 耐圧となります。使用しないピンはすべて 1k の外部抵抗でプルダウンが必要です。
CLKIN	I	1	LVC MOS/LVTTL レベルの入力です。両方のエッジでデータがサンプルされます。Figure 5 と Figure 9 を参照してください。 V _{CC3V} = 3.3V のとき 3.3V 耐圧となります。
$\overline{\text{PD}}$	I	1	LVC MOS/LVTTL レベルの入力です。 $\overline{\text{PD}} = \text{LOW}$ でパワーダウン機能がアクティブとなり、消費電力がきわめて小さくなります。V _{CC3V} = 3.3V のとき 3.3V 耐圧となります (Note 9)。
TxOUTP	O	8	正極性 LVDS 差動データ出力です。
TxOUTM	O	8	負極性 LVDS 差動データ出力です。
CLK1P	O	1	正極性 LVDS 差動クロック出力です。
CLK1M	O	1	負極性 LVDS 差動クロック出力です。
PLLSEL	I	1	LVC MOS/LVTTL レベルのシングルエンド入力です。PLL 周波数範囲を選択する制御ピンです。ピンは V _{CC} に接続すると 66MHz から 133MHz 動作となります。開放またはグラウンドへの接続は将来の拡張用に予約されています (Note 9)。 V _{CC3V} = 3.3V のとき 3.3V 耐圧となります。
PRE	I	1	LVC MOS/LVTTL レベルのシングルエンド入力です。プリエンファシス量の選択です。外付けのプルアップ抵抗を介して V _{CC} に接続することにより、プリエンファシスが機能します。このとき抵抗値によりプリエンファシスの量が決まります (「アプリケーション情報」を参照)。プリエンファシスをせずに通常の LDVS レベルが必要な場合は、このピンを開放にします (GND には接続しないでください)。 V _{CC3V} = 3.3V のとき 3.3V 耐圧となります。
BAL	I	1	LVC MOS/LVTTL レベルのシングルエンド入力です。TTL レベル入力です。このピンを V _{CC} に接続すると DC バランス機能がイネーブルになります。LOW または開放では DC バランス機能はディスエーブルされます。詳細は後述の「アプリケーション情報」を参照してください。 あわせて Figure 9、10 を参照してください。 V _{CC3V} = 3.3V のとき 3.3V 耐圧となります。
DS_OPT	I	1	LVC MOS/LVTTL レベルのシングルエンド入力です。この TTL レベル入力を LOW にすると、ケーブル・デスクュー動作となります。デスクュー中は、TxIN データはサンプリングされません。デスクュー機能を動かせるには、この入力を最低 4096 クロック・サイクルの間 LOW に保ちます。通常、デスクュー機能は、トランスミッタとレシーバのそれぞれの PLL がロックしたあとで実行されます。また、システム・リセットのあと、および再コンフィギュレーション・イベントのあとにも実行する必要があります。詳細は「アプリケーション情報」を参照してください。 V _{CC3V} = 3.3V のとき 3.3V 耐圧となります。
TSEN	O	1	終端センス・ピンです。この出力はリモート終端抵抗の有無を示します。終端抵抗が検出されなかった場合、TSEN は LOW になります。100 の終端抵抗が検出されると TSEN は HIGH になります。TSEN はオープン・コレクタ出力のため、TSEN 信号を外部で参照する場合は 1k の外部プルアップ抵抗が必要です。
PRBS_EN	I	1	PRBS ジェネレータのイネーブル・ピンです。このピンを HIGH にすると擬似ランダム・バイナリ・シーケンス (PRBS) ジェネレータがイネーブルになります。開放または LOW にすると PRBS ジェネレータはディスエーブルされます。 V _{CC3V} = 3.3V のとき 3.3V 耐圧となります。
PAT_SEL	I	1	PRBS-23 または PRBS-15 モード選択ピンです。このピンを HIGH にすると PRBS-23 モードがイネーブルになります。開放または LOW にすると PRBS-15 モードがイネーブルになります。 V _{CC3V} = 3.3V のとき 3.3V 耐圧となります。
CON1	I	1	制御ピンです。将来の拡張用に予約されています。LOW または開放で使用します。
CON2	I	1	制御ピンです。通常動作時は、HIGH に接続するかプルアップしなければなりません。内部 BIST 機能の場合のみ LOW に接続します。開放で使用してはなりません。 V _{CC3V} = 3.3V のとき 3.3V 耐圧となります。
CON3	I	1	制御ピンです。デバイスの動作を適切に設定するために、LOW に接続しなければなりません。HIGH または開放は将来の拡張用に予約されています。
CON4	I	1	制御ピンです。HIGH に接続すると 8 ビットのすべての LVDS 出力チャネル (A0 ~ A7) はイネーブルになります。LOW に接続すると、LVDS 出力チャネルの A4 ~ A7 がディスエーブルされます。通常動作では HIGH に接続しなければなりません。 V _{CC3V} = 3.3V のとき 3.3V 耐圧となります。
CON5 to CON8	I	4	制御ピンです。通常動作では LOW に接続します。

DS90CR485 端子説明 Channel Link シリアライザ (つづき)

端子名	I/O	端子番号	説明
TEST1	I	1	このピンは LOW に接続するか開放のままとします。HIGH (V _{CC}) への接続または HIGH (V _{CC}) へのプルアップは将来の拡張用に予約されています (Note 9)。
TEST2	I	1	このピンは LOW に接続するか開放のままとします。HIGH (V _{CC}) への接続または HIGH (V _{CC}) へのプルアップは将来の拡張用に予約されています (Note 9)。
NC		14	未接続です。これらのピンは接続せずに、開放のままにしてください。
V _{CC}	P	3	コア・ロジック部分に対する 2.5V 電源ピンです。
GND	G	6	2.5V 電源に対するグラウンドです。
V _{CC3V}	P	1	3.3V 耐圧入力をサポートする 3.3V 電源ピンです。
GND _{3V}	G	1	3.3V 電源に対するグラウンドです。
PLL _{VCC}	P	2	PLL 回路用電源です。2.5V 電源に接続してください。
PLL _{GND}	G	3	PLL 回路用 GND です。
LVDS _{VCC}	P	4	LVDS 出力バッファ用電源です。2.5V 電源に接続してください。
LVDS _{GND}	G	5	LVDS 出力バッファ用 GND です。

Note 8: V_{CC3V} ピンは他の V_{CC} ピンより先にパワーアップする必要があります。「アプリケーション情報」を参照してください。

Note 9: 内蔵プルダウン抵抗により開放時のデフォルト入力レベルは LOW です。

LVDS インタフェース

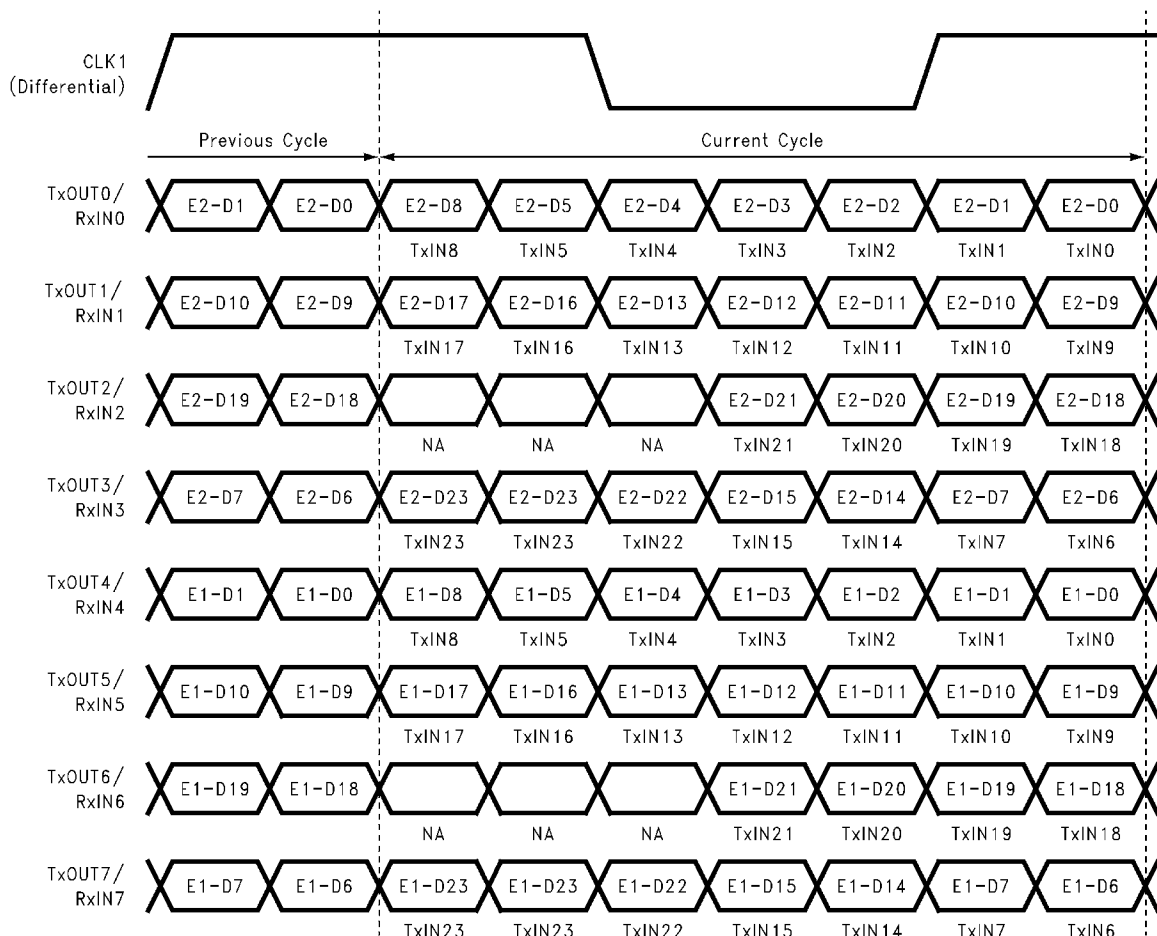


FIGURE 9. 48 LVCMOS/LVTLL Inputs Mapped to 8 LVDS Outputs (DC Balance Mode- Disabled; BAL = Low) (E1 - Falling Edge; E2 - Rising Edge)

LVDS インタフェース(つぎ)

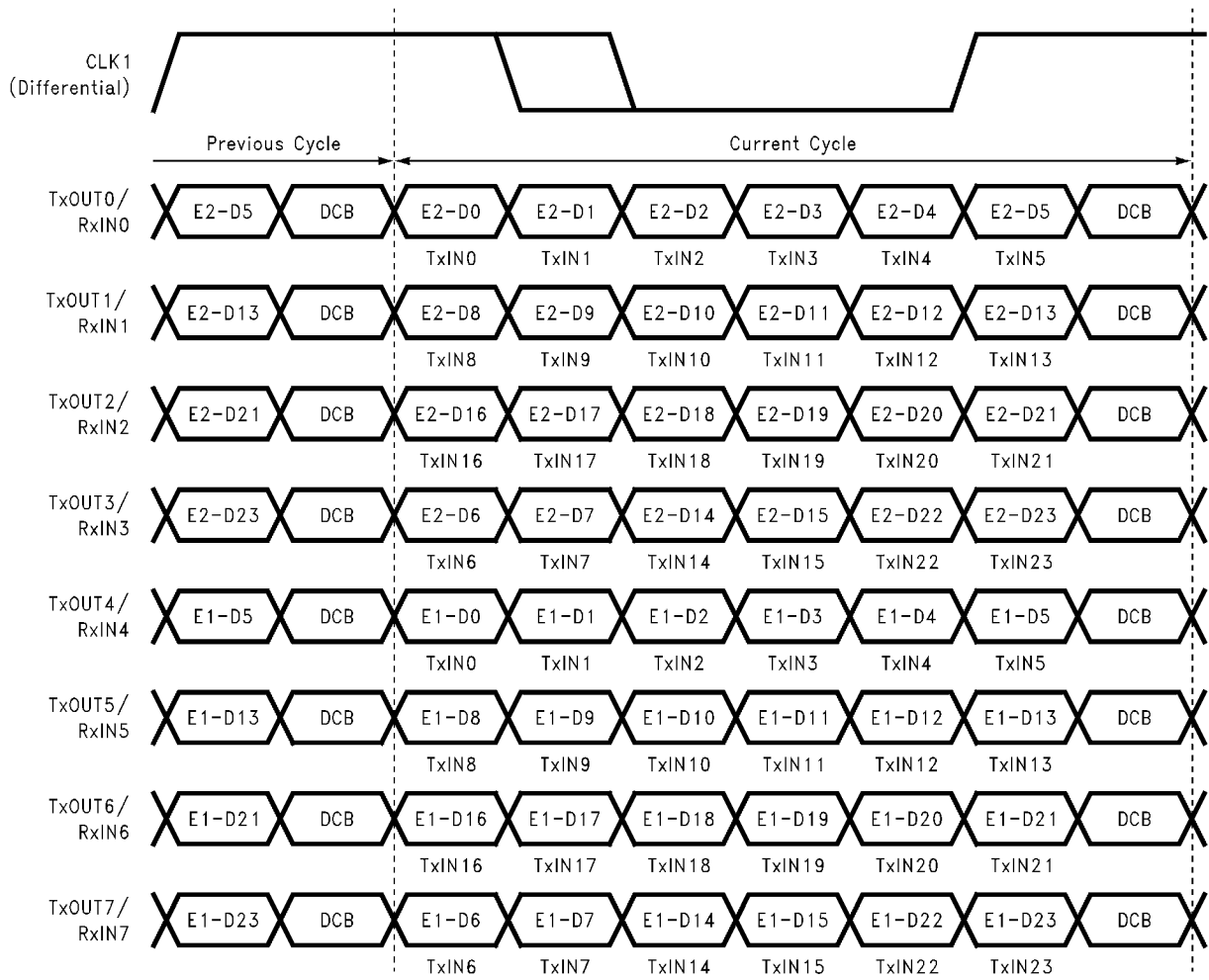


FIGURE 10. 48 LVC MOS/LVTLL Inputs Mapped to 8 LVDS Outputs (DC Balance Mode- Enabled; BAL = High) (E1 - Falling Edge; E2 - Rising Edge)

DS90CR483 入力ピンと DS90CR485 入力ピンとの対応

DS90CR483 Tx Input	DS90CR485 Tx Input*	DS90CR485 Strobe Edge
TxIN0	D0	E2
TxIN1	D1	E2
TxIN2	D2	E2
TxIN3	D3	E2
TxIN4	D4	E2
TxIN5	D5	E2
TxIN6	D6	E2
TxIN7	D7	E2
TxIN8	D8	E2
TxIN9	D9	E2
TxIN10	D10	E2
TxIN11	D11	E2
TxIN12	D12	E2
TxIN13	D13	E2
TxIN14	D14	E2
TxIN15	D15	E2
TxIN16	D16	E2
TxIN17	D17	E2
TxIN18	D18	E2
TxIN19	D19	E2
TxIN20	D20	E2
TxIN21	D21	E2
TxIN22	D22	E2
TxIN23	D23	E2
TxIN24	D0	E1
TxIN25	D1	E1
TxIN26	D2	E1
TxIN27	D3	E1
TxIN28	D4	E1
TxIN29	D5	E1
TxIN30	D6	E1
TxIN31	D7	E1
TxIN32	D8	E1
TxIN33	D9	E1
TxIN34	D10	E1
TxIN35	D11	E1
TxIN36	D12	E1
TxIN37	D13	E1
TxIN38	D14	E1
TxIN39	D15	E1
TxIN40	D16	E1
TxIN41	D17	E1
TxIN42	D18	E1
TxIN43	D19	E1
TxIN44	D20	E1
TxIN45	D21	E1
TxIN46	D22	E1
TxIN47	D23	E1

* E1 は立ち下がり、E2 は立ち上がり

アプリケーション情報

プリエンファシス

ケーブル負荷の影響を低減するため、LVDS の信号遷移時に駆動電流を増やす機能です。プリエンファシスの強さは、PRE ピンに対して 0.75V (エンファシス効果最小) ~ V_{CC} (最大) の DC 電圧を与えて設定します。PRE ピンの電圧が高いほどデータ・ビット遷移時におけるダイナミック電流が大きくなります。PRE ピンの

DC レベルを設定するために、 V_{CC} へのプルアップ抵抗 (R_{pre}) が必要です。内部には電圧降下を生じさせる抵抗ネットワークが入っています。DC レベルの設定には Table 1 を参照してください。

インターコネクト性能とクロック周波数、プリエンファシス、DC バランス、デスクューに依存しますが、2m から 7m のケーブルを駆動できます。

TABLE 1. Pre-emphasis with (R_{pre})

R_{pre}	Effects (Typ)
10k or NC	Standard LVDS
3.5k	12.5% pre-emphasis
1.75K	25% pre-emphasis
900	50% pre-emphasis
500	75% pre-emphasis
50	100% pre-emphasis

ジッタ低減のための情報

トランスミッタは、入力クロックのサイクル・ジッタを抑止するように設計されています。ただし、きわめて緩やかなサイクル・ジッタはトランスミッタ出力にそのまま現れます。動作周波数範囲に対して測定されたジッタは 100ps 以下です。これは入力クロック・ソース・ジッタの影響を大幅に低減し、データ・サンプリングの正確性を向上させます。トランスミッタ出力ジッタは PLLVCC ノイズと入力クロック・ジッタに影響を受けます。出力ジッタを抑えるために、電源ノイズを少なくし、あわせて低ジッタのクロック・ソースを使用してください。

DC バランス

トランスミッタの BAL ピンを HIGH にすると DC バランス・モードとなります。「端子説明」の項も参照してください。

Figure 10 に示すように、各サイクルの間に、各 LVDS データラインで 1 ビットの追加ビットをデータに加えて送ります。この追加ビッ

トが DC バランス (BAL) ビットです。DC バランス機能の目的は、短期および長期にわたっての LVDS 信号の DC バイアスを最小にすることです。この機能は、データをそのままの極性で送るか、反転して送るかによって実現します。

DC バランス・ビットは、転送中ワードのデイスパリティ (0/1 ビット個数の差) と、転送前ワードのデータ・デイスパリティから算出されます。転送前ワードのデータ・デイスパリティは、データ中の 1 のビット個数から 0 のビット個数を引いて求めます。転送中ワードのデイスパリティは、初期段階では +7 から -6 のいずれかの値となります。その後、転送中ワードのデイスパリティは、反転したデータ・デイスパリティを連続的に合計して求めます。データが反転せずに送られた場合はデータ・デイスパリティ値から 1 を引き、データが反転して送られた場合はデータ・デイスパリティを反転して 1 を加えます。この結果、転送中デイスパリティの値は +7 から -6 の範囲となります。DC バランス・モード動作は Table 2 を参照してください。

TABLE 2. DC Balance mode

BAL	Running Word Disparity	Current Word Disparity	Data Sent Invert
0	X	X	NO
1	Positive	Negative/Zero	NO
1	Negative	Positive	NO
1	Positive	Positive	YES
1	Negative	Negative/Zero	YES
1	Zero	X	YES

TSEN

TSEN ピンは、ローカル・システムに対してリモート側の終端抵抗の有無を知らせます。TSEN ピンはオープン・コレクタ出力で、信号を参照する場合は 2.5V に接続した 1k の外部プルアップ抵抗が必要です。このピンのロジック・ステート出力は、LVDS クロック・チャネルの遠端に終端抵抗が存在しているかどうかで決まります。TSEN が HIGH のとき 100 の抵抗が検出されたことを示します。TSEN が LOW の場合は終端抵抗が検出されなかったことであり、ケーブルが接続されていない可能性があります。ローカル・システムはこの信号を用いて、伝送ラインの状態を識別できます。

BIST

信号品質のテストを簡単にするために、デバイスにテストパターン・ジェネレータを内蔵しています。リンクの信号品質 (アイパターン) の確認に有用です。PRBS_EN ピンを HIGH にすると内部 BIST 機能がイネーブルになります。2 種類の PRBS パターンが用意されており、PAT_SEL ピンのロジック・ステートで選択します。PAT_SEL を HIGH にするとトランスミッタは PRBS-23 パターンを生成し送ります。PAT_SEL を LOW にすると PRBS-15 パターンを生成して送ります。PRBS_EN ピンが LOW の場合は PAT_SEL ピンのロジック・ステートは無視され、トランスミッタは残りの制御ピンと入力ピンに基づいて動作を行います。トランスミッタの内部で生成された PRBS パターンを使って、アイ・ダイアグラムにより信号品質をモニタできます。なお、外部のテスト機器の要件によっては、計測の互換性が確保されない場合があります。

アプリケーション情報 (つづき)

パワーアップ・シーケンスと 3V 耐圧信号

DS90CR485 入力には 3.3V 耐圧オプション機能を備えています。この機能が必要な場合は V_{CC3V} ピンを 3.3V 電源レールに接続してください。また、トランスミッタの電源投入では、 V_{CC3V} には、他の電源ピン (2.5V) と同時に先行して電圧を印加する必要があります。3.3V 耐圧機能が必要ない場合は、このピンを 2.5V 電源レールに接続します。

LVDS 出力

本デバイスは、反射を制御するために、リンクのソース側である LVDS 出力部分を変更して、100 の終端抵抗を内蔵しています。一方のリンクの遠端には外部終端抵抗が必要であり、スタブ長を可能な限り短くするためにレシーバ入力の近傍に配置する必要があります。使用しない LVDS 出力チャネルは、トランスミッタの出力ピン部分で 100 で終端してください。

パワーダウン

パワーダウン機能をイネーブルにすると ($\overline{PD} = \text{LOW}$)、PLL はシャットダウンされ電源ピンに流れる消費電流はさわめて小さくなります。パワーダウン・モードではトランスミッタの出力は TRI-STATE モードになります。 V_{CC} の安定後は、 \overline{PD} ピンを HIGH にしてデバイスをイネーブルにしてください。

デスキュー

本レシーバのデスキュー機能は、それぞれ独立した差動ペア間のインターコネクト・スキュー (ペア間スキュー) を、LVDS クロックの立ち上がりエッジに対する固定値として補正します。デスキューが可能なタイミング範囲は、対応するレシーバのデータシートを参照してください。

デスキュー機能を正しく動作させるには、初期化またはキャリブレーションの実行が必要です。DS90CR485 デスキューは、3 クロック・サイクルの遷移を伴う任意のデータ・パターンを用いて初期化が可能です。そのため、デスキューの初期化方法には、システム・コンフィギュレーションに依存して複数の方法があります。たとえば、DS90CR485 と DS90CR486 を DC バランス・モードで使用した場合にデスキュー機能を初期化するには、トランスミッタ DS90CR485 の DS_OPT ピン入力をパワーアップ時に HIGH または LOW にします。レシーバのデスキュー初期化動作を完了させるために、 DS_OPT ピンのレベルは、少なくとも 20ms (TX と RX PLL のロック時間) に 4096 クロック・サイクルを加えた時間を維持してください。DS90CR483 と DS90CR484 に関するその他のコンフィギュレーションについては、Figure 11 のフローチャートを参照してください。

トランスミッタ DS90CR485 の DS_OPT 入力ピンは、デスキュー用較正パターンの生成を開始するときに使用します。レシーバのデスキュー初期化動作を完了させるために、コンフィギュレーションに依存してパワーアップ時に HIGH または LOW を与えます。この理由から、 DS_OPT に HIGH (データ・サンプリングがアクティブ) を与えたときの LVDS クロック信号のパターンは 1111000 または 1110000 とし、また、LVDS データ・ライン (TxOUT 0 ~ 7) は 1 クロックのみ HIGH として次のクロックは LOW にしなければなりません。一方、 DS_OPT を LOW にしてデスキュー較正パターンを送り出す場合は、LVDS クロック・パターンは 1111100 または 1100000 とします。あわせてトランスミッタはデスキュー用較正パターンとして 1111000 または 1110000 の連続パターンをデータ・ライン (TxOUT 0 ~ 7) に送出するため、これらのパターンを用いてレシーバは入力端でのサンプリング・ストロブ・タイミングを自動的に調整できます。スキュー調整は特定の範囲内で、各データ・チャネルで個別に行なわれます。デスキューが可能なタイミング範囲は、データシート「レシーバ・スイッチング特性」の表を参照してください。

デスキュー機能の初期化は、PLL が入力クロック周波数にロックしたあとに少なくとも 1 回は行う必要があります。またレシーバがパワーアップされ PLL がロックしたときにも必要です。電源を一度オフにしたとき、またはケーブルが外されたときに初期化動作を行わないと、レシーバが受信したデータを正しくサンプリングできなくなるおそれがあります。

バックプレーン・アプリケーションを構成する

100 の差動ライン・インピーダンスを持つバックプレーンを用いたアプリケーションでは、差動ラインのペア間スキューは配線長により調整可能です。また、バックプレーン基板上の配線長が短いアプリケーションでは、通常はトランスミッタのプリエンファシス機能は不要です。したがって、「PRE」ピンはグラウンドには接続せずに開放のままにしておきます。ただし、将来の拡張用として、プリエンファシスを必要とする重い容量性負荷の影響を打ち消せるように、 V_{CC} へのプルアップ抵抗のハンダ・パッドを備えておいてもよいでしょう。

ケーブル相互接続アプリケーションを構成する

長いケーブルをドライブする必要があるアプリケーションに関して記述します。DS90CR485 は、高いリンド幅をサポートでき、また DC バランスの取れたデータ転送とプリエンファシス機能によって、より長いケーブルをドライブできるようになりました。ケーブル・ドライブでは、まずユーザーが設定可能なプリエンファシス機能を設け、信号遷移時の出力電流を増やしてケーブル負荷の影響を打ち消すことで、ドライブ能力を高めています。この機能のために V_{CC} へのプルアップ抵抗が 1 つ必要となります。エンファシス・レベルの設定については、Table 1 を参照してください。また、サイクルごとの DC バランスを取ることで長いケーブルを使用したアプリケーションでの符合間干渉 (ISI) を低減しています。以上のプリエンファシスと DC バランスにより、ケーブル端のレシーバ入力において、歪みの小さいアイ・パターンを得ることができます。

電源の推奨バイパス

電源ピンにはバイパス・コンデンサを接続しなければなりません。パッケージの電源ピンごとに電源を供給している内部回路が異なるので、「端子説明」の表記載の注記を除いて、すべての電源ピンの近くにコンデンサを設ける必要があります。0.1 μF の高周波セラミック・コンデンサ (表面実装タイプを推奨) を各電源ピンの近くに配置してください。実装面積に余裕がある場合は 0.01 μF コンデンサを、容量の小さいほうを電源ピンに近い側にして並列に接続してください。さらに、プリント基板全体にコンデンサを分散して配置するとデカップリング性能が向上します。デカップリング・コンデンサと電源層との接続には複数の (大きな) ピアを使用してください。また、PLL VCC ピンと LVDS VCC ピンの近くには 4.7 μF から 10 μF のバルク・コンデンサの実装を推奨します。このコンデンサと対応するピンの間は幅広の配線を用いてください。

入力信号品質の要件

入力信号の品質は、データシートの「推奨入力仕様」表記載の要件に適合していなければなりません。また、絶対最大定格を超えるアンダーシュートは推奨されません。ホスト・デバイスとトランスミッタ間の配線長が長く伝送線路として動作する場合は、終端を行う必要があります。駆動能力を設定できるデバイスでトランスミッタを駆動する場合、データ入力は伝送線路効果を防ぐために弱めに設定することを推奨します。クロック信号はクリーンなエッジを確保するために一般に強めに設定し、かつ低ジッタの信号を与えてください。

アプリケーション情報 (つづき)

LVDS インターコネクットのガイドライン

詳細はアプリケーション・ノート AN-1108 と AN-905 を参照してください。

100 のカップリングされた差動ペア配線を使用してください。

配線間隔には S/2S/3S ルールを適用してください。

S = ペア内の配線間隔

2S = ペア間の配線間隔

3S = TTL 信号との配線間隔

ビアの数は可能な限り抑えてください。

500Mbps 以上のライン速度で動作させる場合は差動コネクタを使用してください。

配線のバランスを維持してください。

ペア内のスキューを可能な限り抑えてください。

ペア間スキューを可能な限り抑えてください。

終端は RX 入力の可能な限り近くに配置してください。

アプリケーション情報 (つづき)

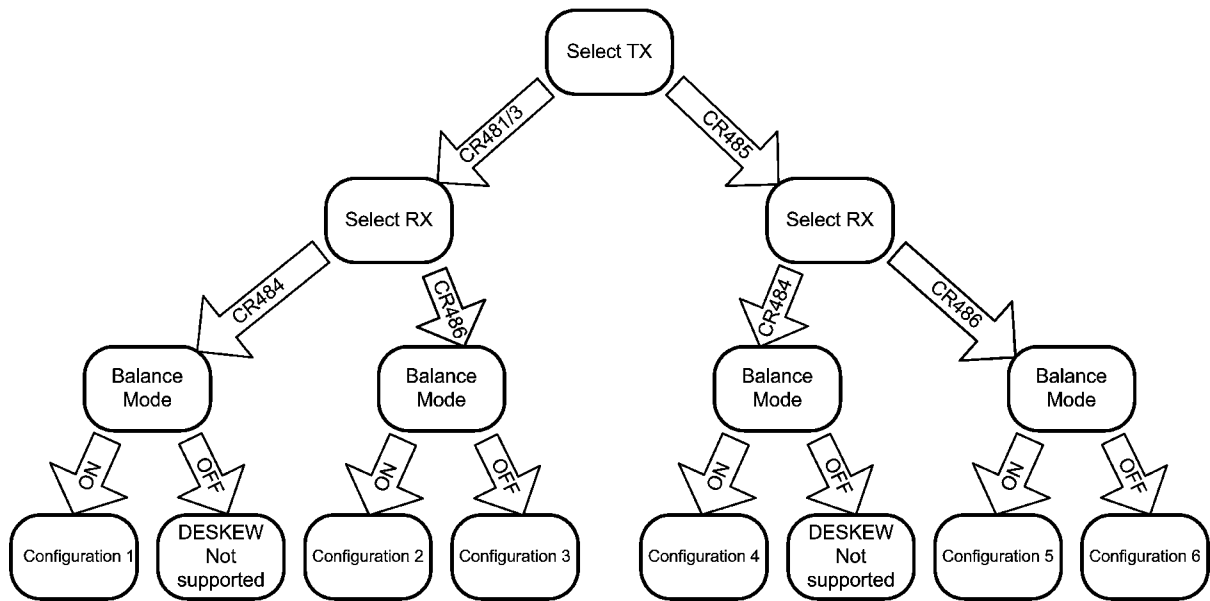


FIGURE 11. Deskew Configuration Setup Chart

コンフィギュレーション 1

DS90CR481/483 と DS90CR484 を DC バランス ON で使用するコンフィギュレーションです (BAL = HIGH、33MHz ~ 80MHz)。レーザのデスクュー初期化動作を完了させるために、トランスミッタ DS90CR481/483 の DS_OPT ピンには 4 クロック以上の LOW を与えなければなりません。DS_OPT ピンには、PLL が入力クロック周波数にロックしたあとに信号を印加します。このコンフィギュレーションでは、レーザ DS90CR484 の DESKEW ピンは HIGH にする必要があります。

コンフィギュレーション 2

DS90CR481/483 と DS90CR486 を DC バランス ON で使用するコンフィギュレーションです (BAL = HIGH、CON1 = HIGH、66MHz ~ 112MHz)。パワーアップ時に、トランスミッタ DS90CR481/483 の DS_OPT ピンは HIGH または LOW に設定可能です。レーザのデスクュー初期化動作を完了させるために、DS_OPT ピンに与えるパルス幅は少なくとも 20ms (TX と RX PLL ロック時間) に 4096 クロック・サイクルを加えた時間が必要です。このコンフィギュレーションでは、DS90CR486 の DESKEW と CON1 ピンは HIGH にする必要があります。

コンフィギュレーション 3

DS90CR481/483 と DS90CR486 を DC バランス OFF で使用するコンフィギュレーションです (BAL = LOW、CON1 = HIGH、66MHz ~ 112MHz)。このコンフィギュレーションでは、トランスミッタ DS90CR481/483 の DS_OPT ピンは無視され動作に影響を与えません。レーザの DS90CR486 のデスクュー動作を初期化するために、パワーアップ時にトランスミッタにはデータとクロックを与える必要があります。このコンフィギュレーションでは、DS90CR486 の DESKEW と CON1 ピンは HIGH にする必要があります。

コンフィギュレーション 4

DS90CR485 と DS90CR484 を DC バランス ON で使用するコンフィギュレーションです (BAL = HIGH、66MHz ~ 80MHz)。レ

シーバのデスクュー初期化動作を完了させるために、トランスミッタ DS90CR485 の DS_OPT ピンには 4 クロック以上の LOW を与えなければなりません。DS_OPT ピンには、PLL が入力クロック周波数にロックしたあとに信号を印加します。このコンフィギュレーションでは、レーザ DS90CR484 の DESKEW ピンは HIGH にする必要があります。

コンフィギュレーション 5

DS90CR485 と DS90CR486 を DC バランス ON で使用するコンフィギュレーションです (DS90CR486 で BAL = HIGH、CON1 = HIGH、66MHz ~ 133MHz)。パワーアップ時に、トランスミッタ DS90CR485 の DS_OPT ピンは HIGH または LOW に設定可能です。レーザのデスクュー初期化動作を完了させるために、DS_OPT ピンに与えるパルス幅は少なくとも 20ms (TX と RX PLL ロック時間) に 4096 クロック・サイクルを加えた時間が必要です。このコンフィギュレーションでは、レーザ DS90CR486 の DESKEW と CON1 ピンは HIGH にする必要があります。

コンフィギュレーション 6

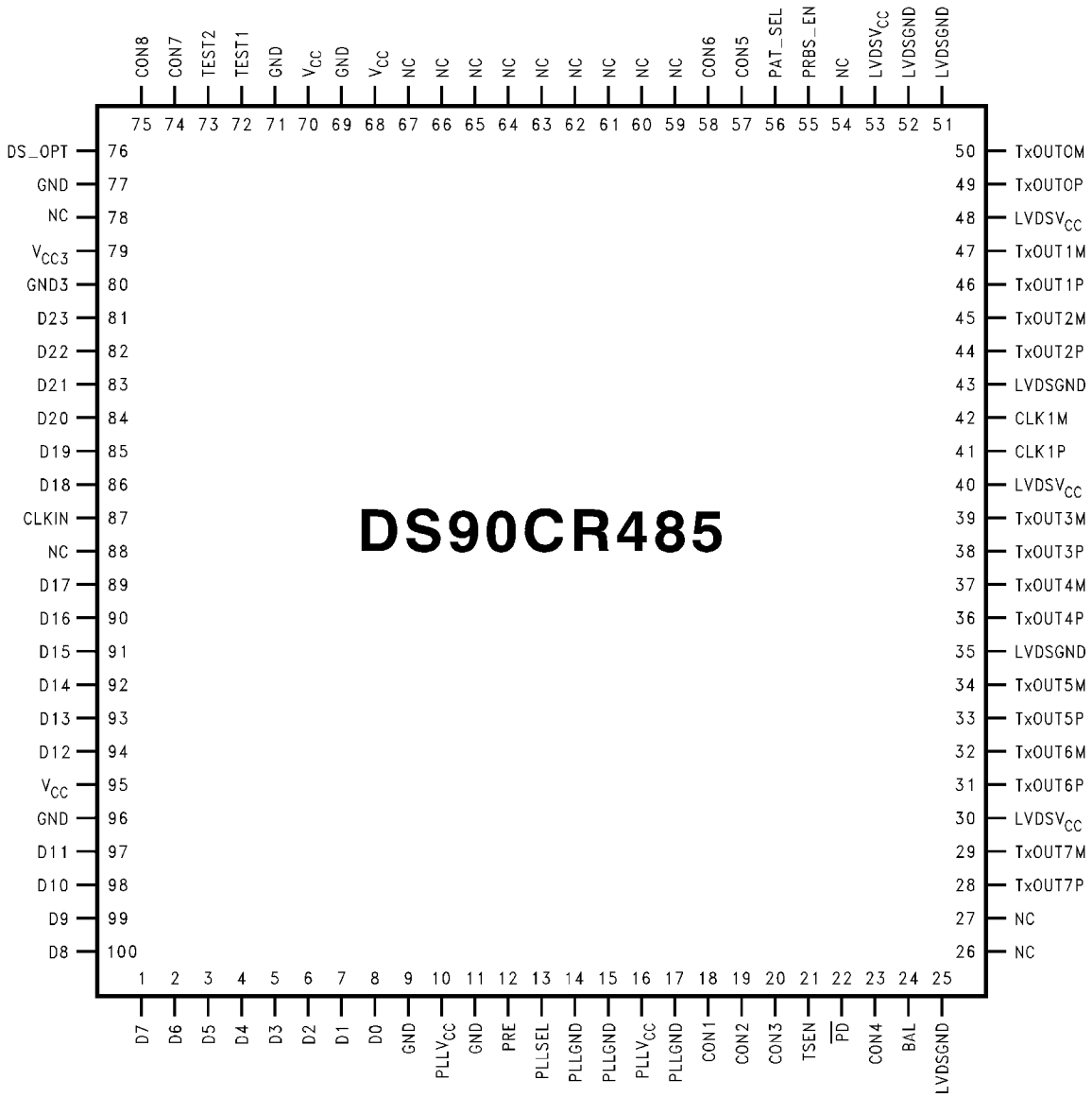
DS90CR485 と DS90CR486 を DC バランス OFF で使用するコンフィギュレーションです (DS90CR486 で BAL = LOW、CON1 = HIGH、66MHz ~ 133MHz)。このコンフィギュレーションでは、トランスミッタ DS90CR485 の DS_OPT ピンは無視され動作に影響を与えません。レーザの DS90CR486 のデスクュー動作を初期化するために、パワーアップ時にトランスミッタにはデータとクロックを与える必要があります。このコンフィギュレーションでは、DS90CR486 の DESKEW と CON1 ピンは HIGH にする必要があります。

デスクューなし

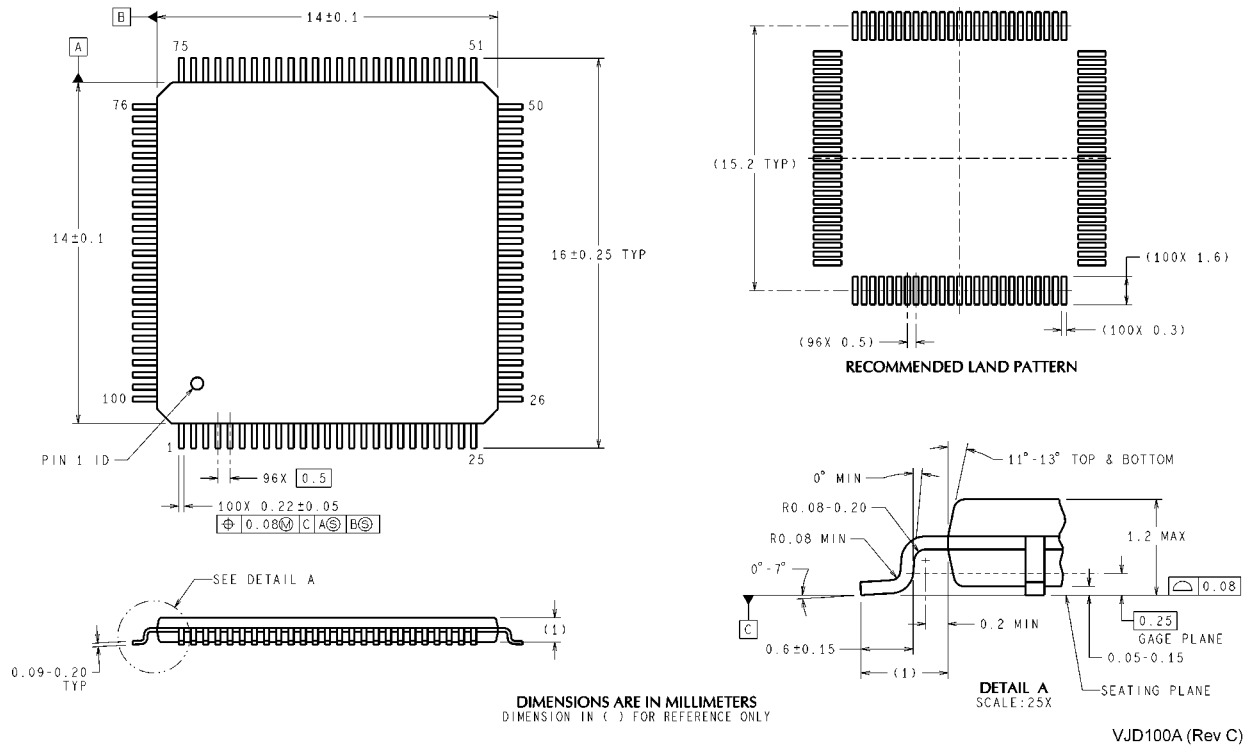
このコンフィギュレーションではデスクュー機能は働きません。DS90CR484 のデスクュー機能は DC バランスが ON (BAL = HIGH) のときのみサポートされます。ただし DS90CR486 のデスクュー機能は、DC バランスと非 DC バランスの両方で有効です。

配置図

Transmitter-DS90CR485
(Top View)



外形寸法図 単位は millimeters



Dimensions show in millimeters
Order Number DS90CR485VS
NS Package Number VJD100A

生命維持装置への使用について

弊社の製品はナショナル セミコンダクター社の書面による許可なくしては、生命維持用の装置またはシステム内の重要な部品として使用することはできません。

1. 生命維持用の装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。
2. 重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

その他のお問い合わせはフリーダイヤルをご利用ください。

 0120-666-116

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは承認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上