DS90CR217

DS90CR217 +3.3V Rising Edge Data Strobe LVDS 21-Bit Channel Link - 85 MHz

Literature Number: JAJSAK1

2002 年 5 月

National Semiconductor

DS90CR217/DS90CR218A

＋ 3.3V 立ち上がりエッジ・データ・ストローブ 21-Bit Channel Link-85MHz

概要

トランスミッタの DS90CR217 は 21 ビットの CMOS/TTL データを 3 つの LVDS (Low Voltage Differential Signaling) データ・ストリームへ変換します。位相調整されたトランスミット・クロックはデータ・ストリームとともに並列に 4 つ目の LVDS リンクにより転送されます。トランスミット・クロックのサイクル毎に 21 ビットの入力データはサンプリングされ、転送されます。レシーバの DS90CR218A は 3 つの LVDS データ・ストリームを 21 ビットの CMOS/TTL データに復元します。トランスミット・クロックの周波数が 85MHz 時には、21 ビットの TTL データは LVDS1 チャネルあたり 595Mbps のスピードになり、トータル・スループットは 1.785Gbps (223Mbytes/s) で転送されます。

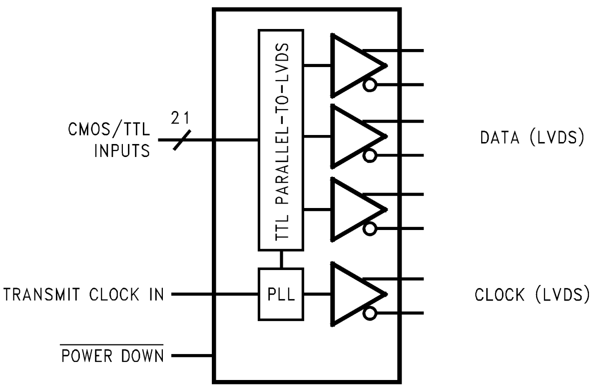
このチップセットは、TTL のスピードとバス幅により引き起こされていた、ケーブルサイズや EMI の問題を解決する理想的なチップセットです。

特長

- 20 ～ 85MHz クロックに対応
- 50%デューティ・サイクルのレシーバ・クロック出力
- 高性能セットアップ / ホールドタイム (TxINPUT)
- 低消費電力
- ± 1V コモンモード・レンジ (＋ 1.2V 中心)
- バス幅の低減によるケーブルの小型化、コスト削減が可能
- データ・スループット 1.785Gbit/s (max)
- 223Mbytes/s の高速転送
- 低 EMI を実現する 345mV (typ) 信号振幅
- PLL は外付け部品不要
- 立ち上がりエッジ・データ・ストローブ
- TIA/EIA-644 LVDS 標準準拠
- 高密度実装を可能にする 48 ピン TSSOP パッケージ

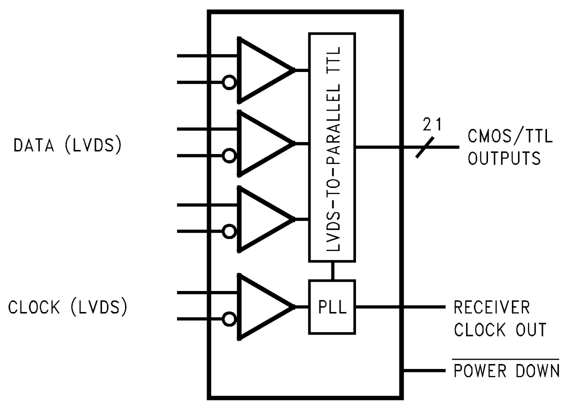
ブロック図

DS90CR217



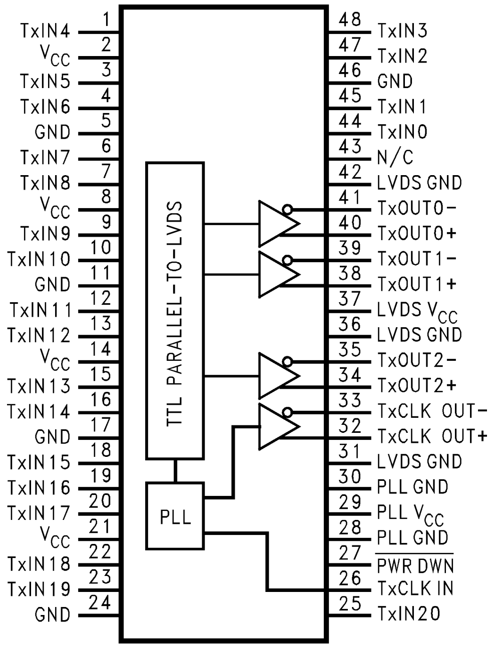
Order Number DS90CR217MTD
See NS Package Number MTD48

DS90CR218A

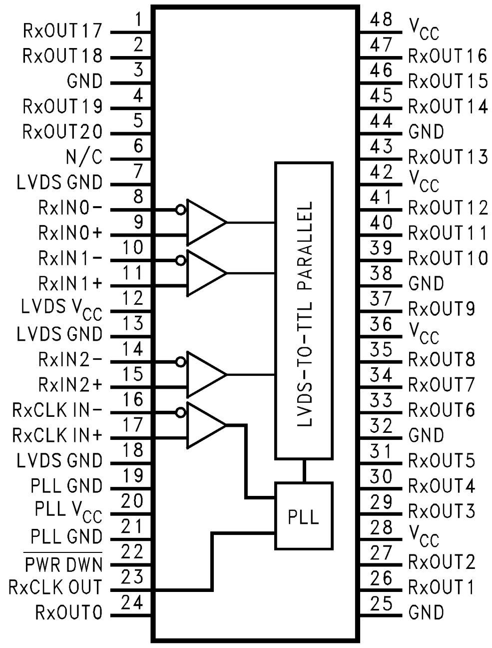


Order Number DS90CR218AMTD
See NS Package Number MTD48

ピン配置図

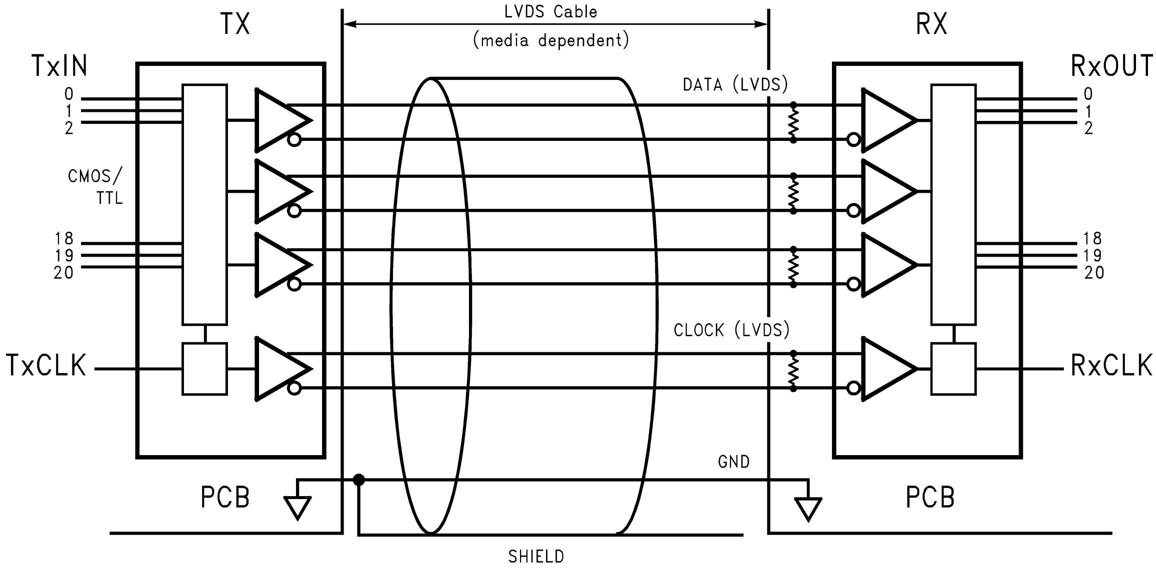


DS90CR217



DS90CR218A

代表的なアプリケーション



絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。関連する電気的信頼性試験方法の規格を参照ください。

電源電圧 (V_{CC})	− 0.3V 〜＋ 4V
CMOS/TTL 入力電圧	− 0.5V 〜 (V_{CC} ＋ 0.3V)
CMOS/TTL 出力電圧	− 0.3V 〜 (V_{CC} ＋ 0.3V)
LVDS レシーバ入力電圧	− 0.3V 〜 (V_{CC} ＋ 0.3V)
LVDS ドライバ出力電圧	− 0.3V 〜 (V_{CC} ＋ 0.3V)
LVDS 出力短絡時間	連続
PN 接合温度	＋ 150 ℃
保存温度範囲	− 65 ℃〜＋ 150 ℃
許容リード温度 (ハンダ付け 4 秒)	＋ 260 ℃
最大パッケージ許容損失 (＋ 25 ℃のとき)	
MTD48 (TSSOP) パッケージ :	
DS90CR217	1.98 W
DS90CR218A	1.89 W

＊周囲温度＋ 25 ℃を超える場合は、

DS90CR217	16 mW/ ℃
DS90CR218A	15 mW/ ℃

を減じてください。

ESD 耐圧	
(HBM、1.5kΩ、100pF)	＞ 7kV
(EIAJ、0Ω、200pF)	＞ 700V
25 ℃におけるラッチアップ耐圧	＞± 300mA

推奨動作条件

	最小値	標準値	最大値	単位
電源電圧 (V_{CC})	3.0	3.3	3.6	V
動作周囲温度 (T_A)	− 10	＋ 25	＋ 70	℃
レシーバ入力電圧範囲	0		2.4	V
電源ノイズ電圧 (V_{CC})			100	mV_{PP}

電気的特性

特記のない限り、推奨動作条件における電源電圧および動作温度範囲に対して適用。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
CMOS/TTL DC SPECIFICATIONS						
V_{IH}	High Level Input Voltage		2.0		V_{CC}	V
V_{IL}	Low Level Input Voltage		GND		0.8	V
V_{OH}	High Level Output Voltage	I_{OH} =− 0.4 mA	2.7	3.3		V
V_{OL}	Low Level Output Voltage	I_{OL} = 2 mA		0.06	0.3	V
V_{CL}	Input Clamp Voltage	I_{CL} =− 18 mA		− 0.79	− 1.5	V
I_{IN}	Input Current	V_{IN} = 0.4V, 2.5V or V_{CC}		＋ 1.8	＋ 15	μA
		V_{IN} = GND	− 10	0		μA
I_{OS}	Output Short Circuit Current	V_{OUT} = 0V		− 60	− 120	mA
LVDS DRIVER DC SPECIFICATIONS						
V_{OD}	Differential Output Voltage	R_L = 100Ω	250	290	450	mV
ΔV_{OD}	Change in V_{OD} between Complimentary Output States				35	mV
V_{OS}	Offset Voltage (Note 4)		1.125	1.25	1.375	V
ΔV_{OS}	Change in V_{OS} between Complimentary Output States				35	mV
I_{OS}	Output Short Circuit Current	V_{OUT} = 0V, R_L = 100Ω		− 3.5	− 5	mA
I_{OZ}	Output TRI-STATE Current	$\overline{\text{PWR DWN}}$ = 0V, V_{OUT} = 0V or V_{CC}		± 1	± 10	μA
LVDS RECEIVER DC SPECIFICATIONS						
V_{TH}	Differential Input High Threshold	V_{CM} =＋ 1.2V			＋ 100	mV
V_{TL}	Differential Input Low Threshold		− 100			mV
I_{IN}	Input Current	V_{IN} =＋ 2.4V, V_{CC} = 3.6V			± 10	μA
		V_{IN} = 0V, V_{CC} = 3.6V			± 10	μA
TRANSMITTER SUPPLY CURRENT						
I_{CCTW}	Transmitter Supply Current Worst Case (with Loads)	R_L = 100Ω, C_L = 5 pF, Worst Case Pattern (Figures 1, 2); f = 33 MHz		28	42	mA
		f = 40 MHz		29	47	mA
		f = 66 MHz		34	52	mA
		f = 85 MHz		39	57	mA
I_{CCTZ}	Transmitter Supply Current Power Down	$\overline{\text{PWR DWN}}$ = Low Driver Outputs in TRI-STATE under Powerdown Mode		10	55	μA

電気的特性 (つづき)

特記のない限り、推奨動作条件における電源電圧および動作温度範囲に対して適用。

Symbol	Parameter	Conditions		Min	Typ	Max	Units
RECEIVER SUPPLY CURRENT							
I_{CCRW}	Receiver Supply Current Worst Case	C_L = 8 pF, Worst Case Pattern (Figures 1, 3)	f = 33 MHz		49	60	mA
			f = 40 MHz		53	65	mA
			f = 66 MHz		78	100	mA
			f = 85 MHz		90	115	mA
I_{CCRZ}	Receiver Supply Current Power Down	$\overline{\text{PWR DWN}}$ = Low Receiver Outputs Stay Low during Powerdown Mode			140	400	µA

Note 1: 「絶対最大定格」とは、この範囲を超えるとデバイスの安全性が保証されないリミット値をいい、これらのリミット値でデバイスが動作することを意味するものではありません。「電気的特性」 の表にデバイスの実動作条件を記載しています。

Note 2: 代表値 (Typ) はすべて V_{CC} = 3.3V、T_A =＋25 ℃で得られる最も標準的な数値です。

Note 3: デバイス端子に流れ込む電流は正、デバイス端子から流れ出る電流は負と定義されます。V_{OD} と ΔV_{OD} 以外、すべての電圧値はグラウンド端子を基準とします。

Note 4: V_{OS} は以前は V_{CM} と表記されていました。

トランスミッタ・スイッチング特性

特記のない限り、推奨動作条件における電源電圧および動作温度範囲に対して適用。

Symbol	Parameter		Min	Typ	Max	Units
LLHT	LVDS Low-to-High Transition Time (Figure 2)			0.75	1.5	ns
LHLT	LVDS High-to-Low Transition Time (Figure 2)			0.75	1.5	ns
TCIT	TxCLK IN Transition Time (Figure 4)		1.0		6.0	ns
TPPos0	Transmitter Output Pulse Position for Bit0 (Figure 15)	f = 85 MHz	− 0.20	0	0.20	ns
TPPos1	Transmitter Output Pulse Position for Bit1		1.48	1.68	1.88	ns
TPPos2	Transmitter Output Pulse Position for Bit2		3.16	3.36	3.56	ns
TPPos3	Transmitter Output Pulse Position for Bit3		4.84	5.04	5.24	ns
TPPos4	Transmitter Output Pulse Position for Bit4		6.52	6.72	6.92	ns
TPPos5	Transmitter Output Pulse Position for Bit5		8.20	8.40	8.60	ns
TPPos6	Transmitter Output Pulse Position for Bit6		9.88	10.08	10.28	ns
TCIP	TxCLK IN Period (Figure 6)		11.76	T	50	ns
TCIH	TxCLK IN High Time (Figure 6)		0.35T	0.5T	0.65T	ns
TCIL	TxCLK IN Low Time (Figure 6)		0.35T	0.5T	0.65T	ns
TSTC	TxIN Setup to TxCLK IN (Figure 6)	f = 85 MHz	2.5			ns
THTC	TxIN Hold to TxCLK IN (Figure 6)		0			ns
TCCD	TxCLK IN to TxCLK OUT Delay @ 25 ℃ , V_{CC} = 3.3V (Figure 8)		3.8		6.3	ns
TPLLS	Transmitter Phase Lock Loop Set (Figure 10)				10	ms
TPDD	Transmitter Powerdown Delay (Figure 13)				100	ns
TJIT	TxCLK IN Cycle-to-Cycle Jitter				2	ns

レシーバスイッチング特性

特記のない限り、推奨動作条件における電源電圧および動作温度範囲に対して適用。

Symbol	Parameter		Min	Typ	Max	Units
CLHT	CMOS/TTL Low-to-High Transition Time (Figure 3)			2.0	3.5	ns
CHLT	CMOS/TTL High-to-Low Transition Time (Figure 3)			1.8	3.5	ns
RSPos0	Receiver Input Strobe Position for Bit 0 (Figure 16)	f = 85 MHz	0.49	0.84	1.19	ns
RSPos1	Receiver Input Strobe Position for Bit 1		2.17	2.52	2.87	ns
RSPos2	Receiver Input Strobe Position for Bit 2		3.85	4.20	4.55	ns
RSPos3	Receiver Input Strobe Position for Bit 3		5.53	5.88	6.23	ns
RSPos4	Receiver Input Strobe Position for Bit 4		7.21	7.56	7.91	ns
RSPos5	Receiver Input Strobe Position for Bit 5		8.89	9.24	9.59	ns
RSPos6	Receiver Input Strobe Position for Bit 6		10.57	10.92	11.27	ns
RSKM	RxIN Skew Margin (Note 5) (Figure 17)	f = 85 MHz	290			ps
RCOP	RxCLK OUT Period (Figure 7)		11.76	T	50	ns
RCOH	RxCLK OUT High Time (Figure 7)	f = 85 MHz	4	5	6.5	ns
RCOL	RxCLK OUT Low Time (Figure 7)		3.5	5	6	ns
RSRC	RxOUT Setup to RxCLK OUT (Figure 7)		3.5			ns
RHRC	RxOUT Hold to RxCLK OUT (Figure 7)		3.5			ns
RCCD	RxCLK IN to RxCLK OUT Delay @ 25 ℃ , V_{CC} = 3.3V (Note 6) (Figure 9)		5.5	7	9.5	ns
RPLLS	Receiver Phase Lock Loop Set (Figure 11)				10	ms
RPDD	Receiver Powerdown Delay (Figure 14)				1	µs

Note 5: レシーバ・スキュー・マージンはレシーバ入力でのサンプリングに必要な有効データ範囲と定義されます。 このマージンはトランスミッタ・パルス・ポジション (TPPos min と max) とレシーバの入力セットアップ / ホールドタイム (内部データ・サンプリング長ー RSPos) により導き出されています。このマージンは LVDS 配線スキュー、ケーブルスキュー (タイプと長さにより異なります。) とソースクロック (250ps) により減少します。

Note 6: チャネルリンク・チップセット全体でのレイテンシは、クロック周期、およびトランスミッタ (TCCD) とレシーバ (RCCD) のゲート・ディレイの関数として表されます。トランスミッタDS90CR217/287とレシーバDS90CR218A/288Aのレイテンシの合計は、Tをクロック周期としたとき、(T+TCCD)+(2*T+RCCD)となります。

AC タイミング図

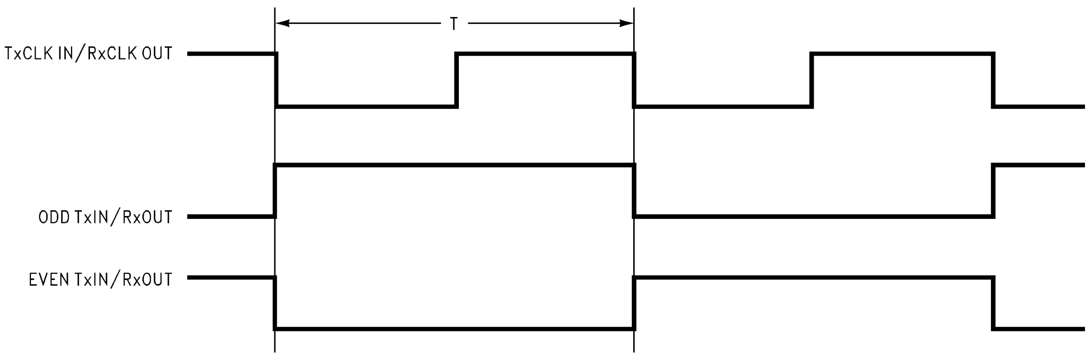


FIGURE 1. “ Worst Case ” Test Pattern

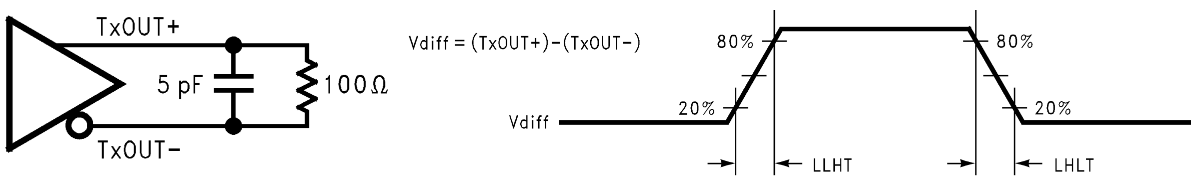


FIGURE 2. DS90CR217 (Transmitter) LVDS Output Load and Transition Times

AC タイミング図 (つづき)

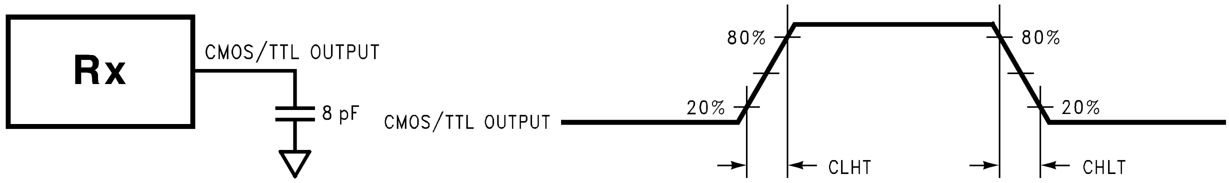


FIGURE 3. DS90CR218A (Receiver) CMOS/TTL Output Load and Transition Times

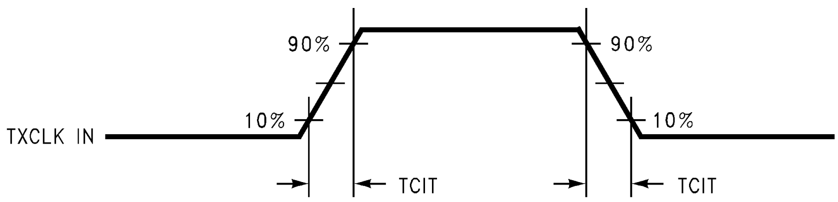
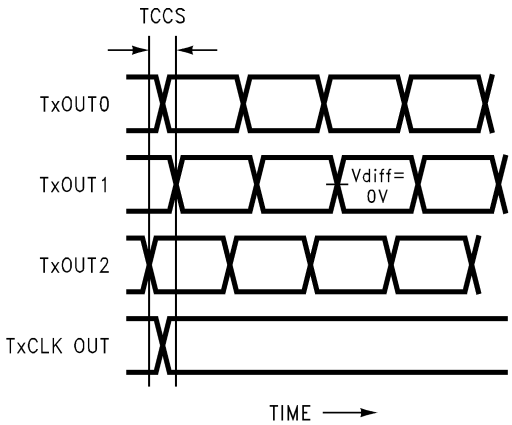


FIGURE 4. D590CR217 (Transmitter) Input Clock Transition Time



Note 7: V_{DIFF} = 0V で測定。

Note 8: TCCS は最初の LVDS エッジの最も速いエッジと最も遅いエッジで測定されます。

Note 9: TxCLK ディファレンシャル出力のうち LOW から HIGH のエッジを測定。

FIGURE 5. DS90CR217 (Transmitter) Channel-to-Channel Skew

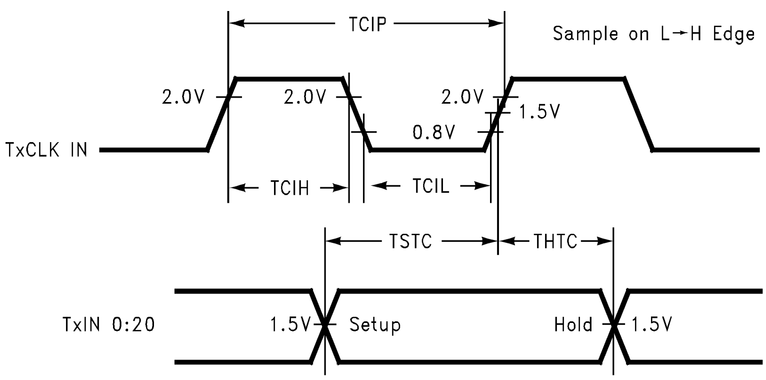


FIGURE 6. DS90CR217 (Transmitter) Setup/Hold and High/Low Times

AC タイミング図 (つづき)

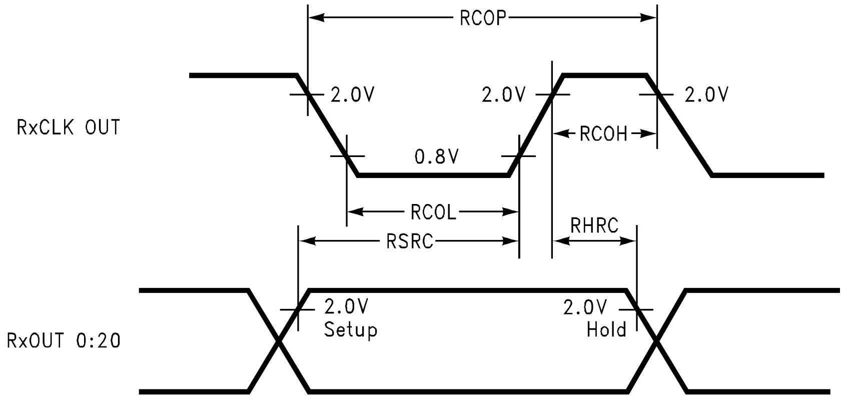


FIGURE 7. DS90CR218A (Receiver) Setup/Hold and High/Low Times

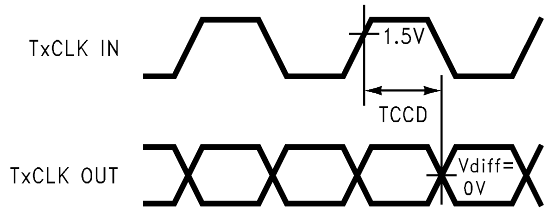


FIGURE 8. DS90CR217 (Transmitter) Clock In to Clock Out Delay

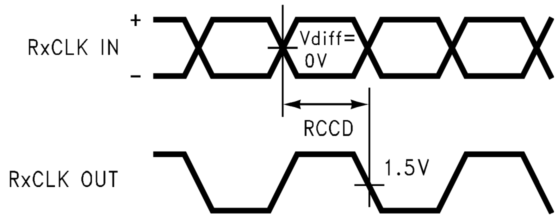


FIGURE 9. DS90CR218A (Receiver) Clock In to Clock Out Delay

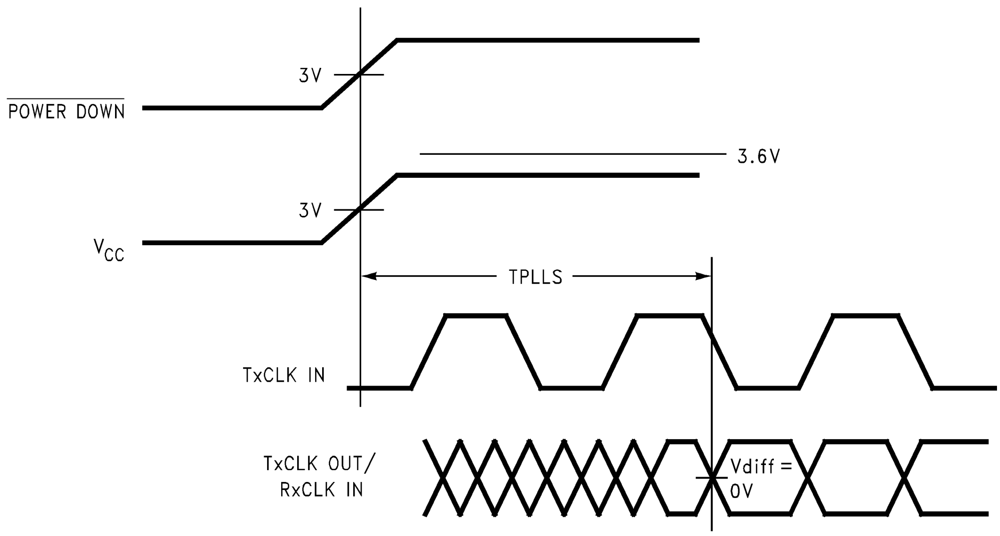


FIGURE 10. DS90CR217 (Transmitter) Phase Lock Loop Set Time

AC タイミング図 (つづき)

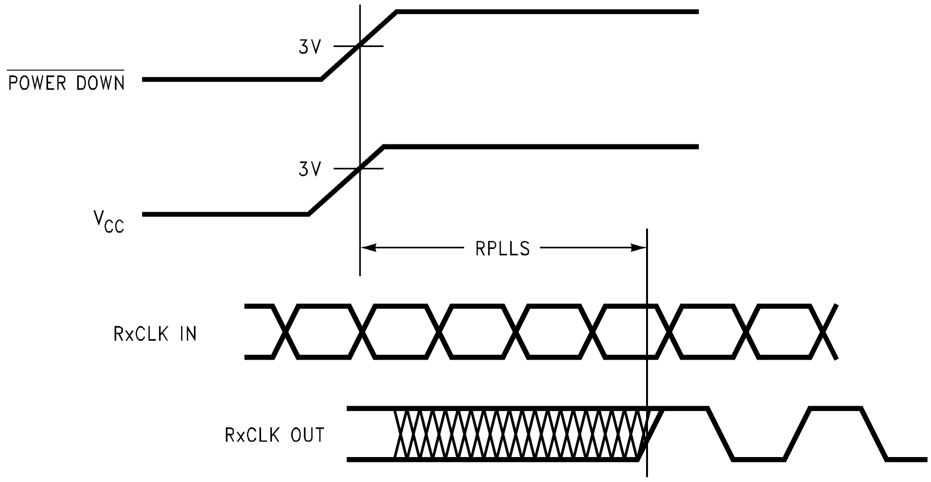


FIGURE 11. DS9OCR218A (Receiver) Phase Lock Loop Set Time

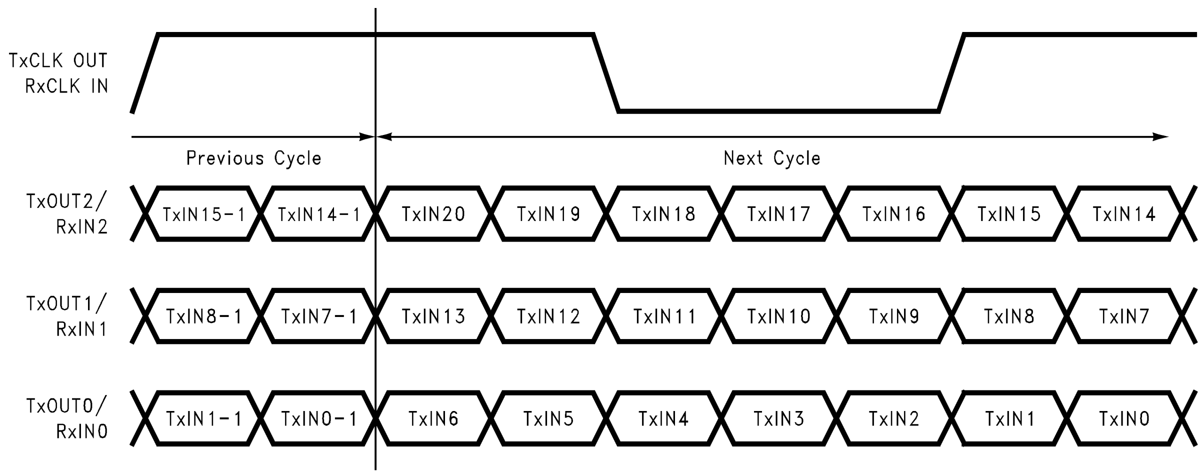


FIGURE 12. 21 Parallel TTL Data Inputs Mapped to LVDS Outputs (DS90CR217)

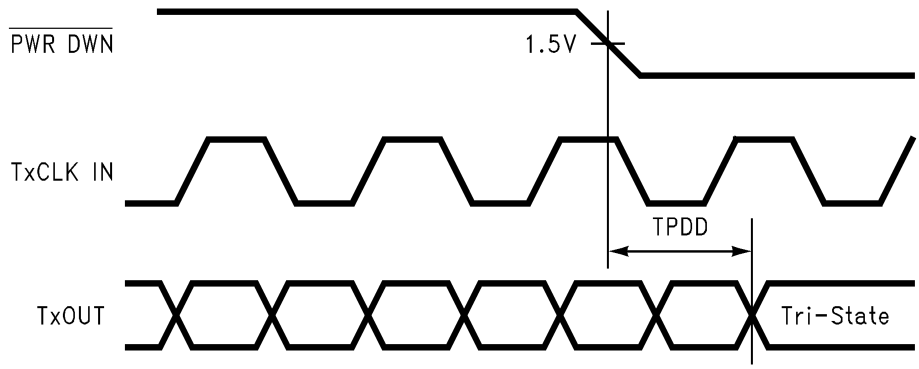


FIGURE 13. Transmitter Powerdown Delay

AC タイミング図 (つづき)

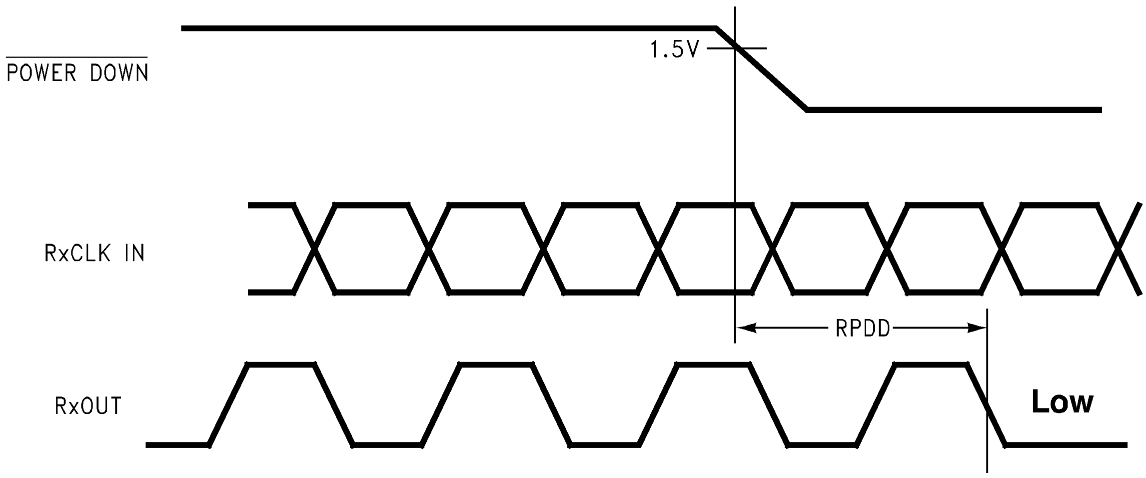


FIGURE 14. Receiver Powerdown Delay

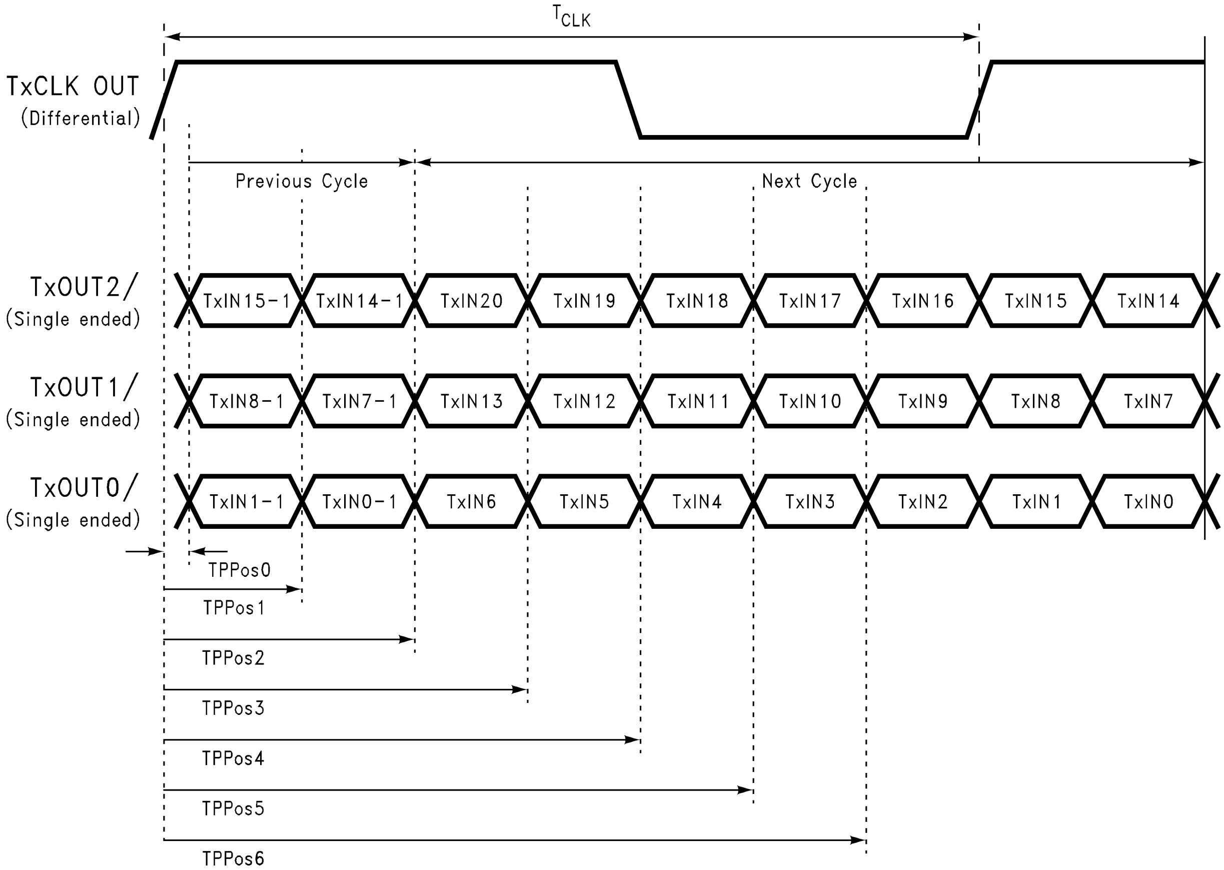


FIGURE 15. Transmitter LVDS Output Pulse Position Measurement

AC タイミング図 (つづき)

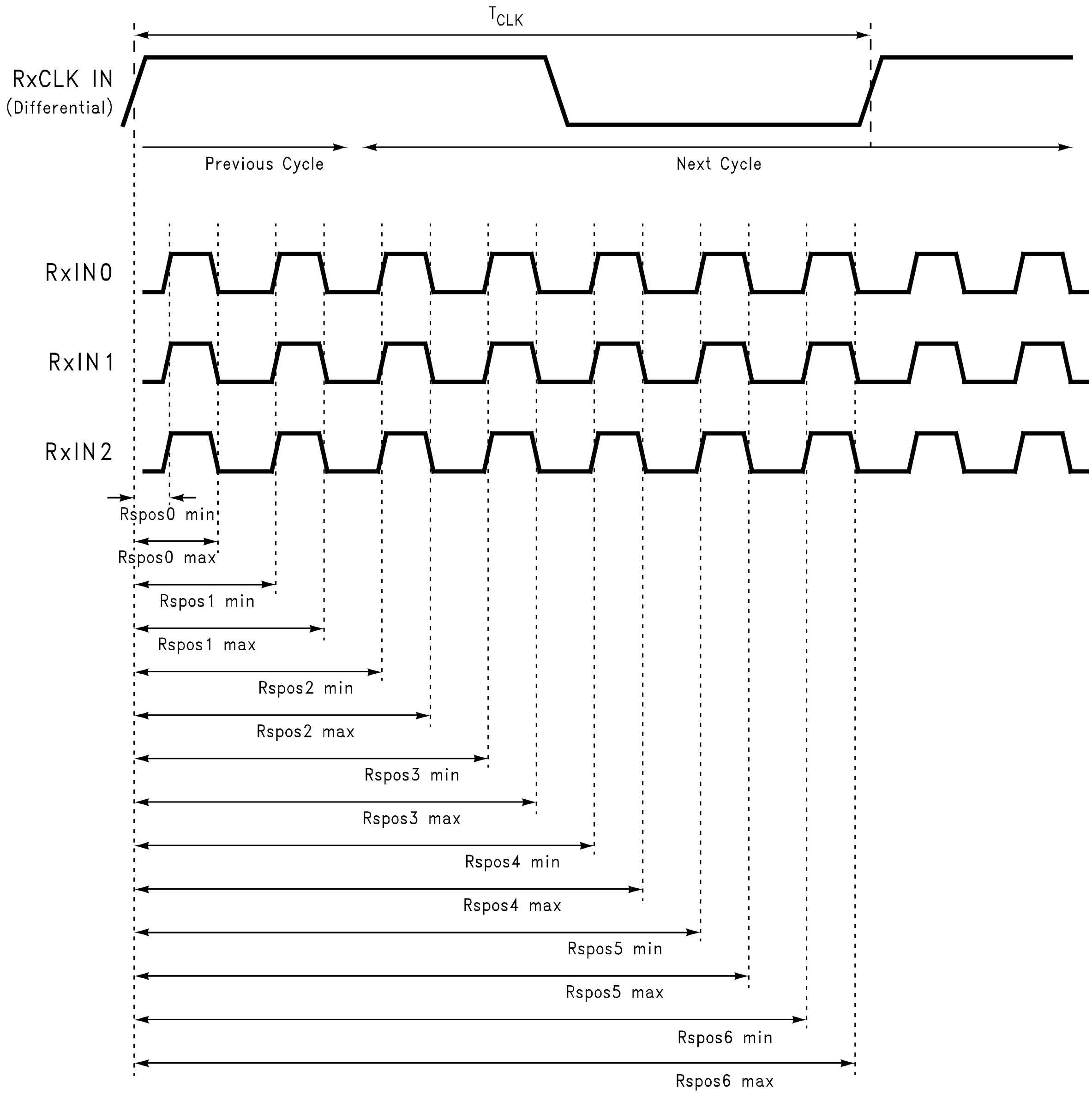
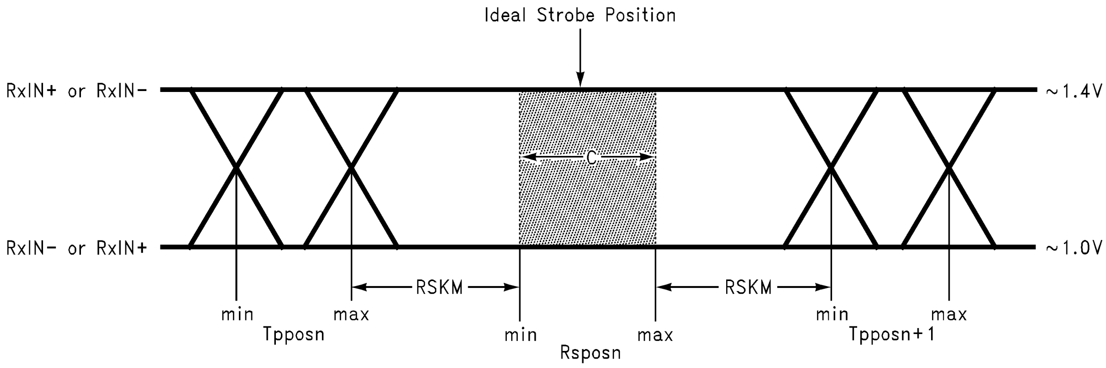


FIGURE 16. Receiver LVDS Input Strobe Position

AC タイミング図 (つづき)



C ―セットアップ / ホールドタイム (内部データ・サンプリング長) は Rspos (レシーバ入力ストローブ・ポジション) min と max により定義されます。

Tppos ―トランスミッタ出力パルス・ポジション (min と max)

RSKM ≧ケーブル・スキュー+ソース・クロック・ジッタ (連続する 2 クロック間)(Note 10) + ISI (伝送波形干渉)(Note 11)

ケーブルスキュー―通常 10 ～ 40ps/300mm、ケーブルにより異なります。

Note 10: ジッタは 85MHz で 250ps 以下。

Note 11: ISI は内部配線によります。

FIGURE 17. Receiver LVDS Input Skew Margin

アプリケーション情報

DS90CR217 と DS90CR218A は既存の 5V Channel Link トランスミッタ / レシーバのペア (DS90CR213 と DS90CR214) と互換性があります。5V から 3.3V システムへ移行される際には、次の事に注意してください。

1. 電源を 5V から 3.3V へ変更し、トランスミッタとレシーバの全電源ピン (V_{CC}、LVDS V_{CC}、PLL V_{CC}) に供給してください。
2. トランスミッタの入力ピンと制御入力ピンには 3.3V TTL/CMOS 信号を入力してください。 5V 信号入力耐圧はありません。
3. レシーバはパワーダウン時に出力が LOW に固定されます。5V/66MHzではパワーダウンがアクティブになったときの状態を保持します。

DS90CR217 端子説明―チャネル・リンク・トランスミッタ

端子名	I/O	No.	説明
TxIN	I	21	TTL レベル入力。
TxOUT +	O	3	正の LVDS 差動データ出力
TxOUT −	O	3	負の LVDS 差動データ出力
TxCLK IN	I	1	TTL レベルのクロック入力。 立ち上がりエッジがデータ取り込みに使用されます。端子名は TxCLK IN です。「アプリケーション情報」を参照。
TxCLK OUT +	O	1	正の LVDS 差動クロック出力
TxCLK OUT −	O	1	負の LVDS 差動クロック出力
$\overline{\text{PWR DWN}}$	I	1	TTL レベル入力。 入力が LOW にアサートされると、出力は TRI-STATE になり、パワー・ダウン時に低電流となります。「アプリケーション情報」を参照。
V_{CC}	I	4	TTL 入力用の電源ピン
GND	I	5	TTL 入力用のグラウンド・ピン
PLL V_{CC}	I	1	PLL 用の電源ピン
PLL GND	I	2	PLL 用のグラウンド・ピン
LVDS V_{CC}	I	1	LVDS 出力用の電源ピン
LVDS GND	I	3	LVDS 出力用のグラウンド・ピン

DS90CR218A 端子説明―チャネル・リンク・レシーバ

端子名	I/O	No.	説明
RxIN +	I	3	正の LVDS 差動データ入力
RxIN −	I	3	負の LVDS 差動データ入力
RxOUT	O	21	TTL レベルデータ出力。
RxCLK IN +	I	1	正の LVDS 差動クロック入力
RxCLK IN −	I	1	負の LVDS 差動クロック入力

アプリケーション情報 (つづき)

DS90CR218A 端子説明ーチャネル・リンク・レシーバ (つづき)

端子名	I/O	No.	説明
RxCLK OUT	O	1	TTL レベルのクロック出力。 立ち上がりエッジがデータ取り込みに使用されます。端子名は RxCLK OUT です。
$\overline{\text{PWR DWN}}$	I	1	TTL レベル入力。 入力が LOW にアサートされると、レシーバ出力は LOW になります。
V_{CC}	I	4	TTL 出力用の電源ピン
GND	I	5	TTL 出力用のグラウンド・ピン
PLL V_{CC}	I	1	PLL 用の電源ピン
PLL GND	1	2	PLL 用のグラウンド・ピン
LVDS V_{CC}	I	1	LVDS 入力用の電源ピン
LVDS GND	I	3	LVDS 入力用のグラウンド・ピン

チャネルリンクはいろいろなデータ送受信システムでの使用を目的に開発されました。 システムにより接続する部材は異なります。 例えば低速でかつケーブル長も短い (2m) 場合には、部材の電気的性能はさほど重要とはなりませんが、高速かつ長距離のアプリケーションでは部材の性能が重要となります。 実際、ケーブルの構成によりスキュー (ペア間における接続点間の電気的な線長差) を低減できます。 例えば、TWIN-COAX では 5m で 1.785Gbit/s の伝送実績があります。 より詳しい内容は以下のアプリケーション・ノートを参照ください。

AN ＝ ####	Topic
AN-1041	Introduction to Channel Link
AN-1108	Channel Link PCB and Interconnect Design-In Guidelines
AN-1109	Multi-Drop Channel-Link Operation
AN-806	Transmission Line Theory
AN-905	Transmission Line Calculations and Differential Impedance
AN-916	Cable Information

ケーブル

トランスミッタとレシーバのインタフェースに用いられている差動の LVDS 信号はケーブルにより伝送されます。 21 ビット・チャネルリンクチップセット (DS90CR217/218A) では 4 ペアの信号線が、28 ビット・チャネルリンク・チップセット (DS90CR287/288A) では 5 ペアの信号線が必要となります。 理想的なケーブル / コネクタのインタフェースは伝送路すべてにわたり100Ω一定の差動インピーダンスに保つことです。 また、レシーバで十分なデータのサンプルウィンドウを確保するために 90ps (85MHz 時) 以下にスキューを抑えてください。

さらに、データとクロックを伝送する 4 または 5 ペアのケーブルに最低 1 本 (または 1 ペア) のグラウンドを用意することを推奨します。このグラウンドによりコモンモードのリターンパスを構成することができます。 一対一のアプリケーションで一般的に使用されているケーブルにはフラット、フレックス、ツイストペア、TWIN-COAX があります。 構成やオプションによりさまざまなケーブルが用意されています。 フラット、フレックス、ツイストペアは短い一対一のアプリケーションには十分です。TWIN-COAX は長短どちらでも高い性能を示します。フラットケーブル使用時には各差動信号間にグラウンド線を入れることを推奨します。 このグラウンドにより、近接するペア間のノイズによる干渉を防げます。TWIN-COAX ケーブルでは各ケーブルペアをシールドすることを推奨します。一対一のアプリケーションで距離を伸ばす場合には、ケーブルのタイプによらず全ケーブルペアをシールドしてください。 全体をシールドすると、EMS や EMI に起因する問題を解決し、長距離化、高速化といった伝送パラメータの向上になります。

いろいろなケーブルタイプでLVDS信号はすばらしい性能を示しています。しかし、総合的に最高の性能となったのは TWIN-COAX ケーブルを使用したときでした。 TWIN-COAX ケーブルはその構造とシールドの二重化により、優れたスキューと EMI 性能をもっています。 ここに記載している情報と関連のアプリケーション・ノートには設計者に有用な数多くのガイドラインを載せています。設計者は各アプリケーションで安全かつ経済的なケーブルのためにさまざまなトレードオフを査定するよう推奨します。

レシーバ・フェイルセーフ機能

本レシーバは、レシーバ入力がオープンまたは終端された状態でも安定したレシーバ出力を得るために、入力段にフェイルセーフのバイアス回路を備えています。 これにより、前記のようにオープンまたは終端された状態でも、レシーバ入力は HIGH になります。したがって、クロック信号が有効であれば、すべてのデータ出力も HIGH になります。 クロック信号がオープンまたは終端されていたとすると、レシーバ出力は最後の有効な状態を保持します。なおクロック入力がオープンまたは終端されていると、クロック出力は HIGH になります。

ボードレイアウト

LVDS の EMI、ノイズマージンを最大限活用するには差動信号のレイアウトに注意を払う必要があります。 他の信号からのノイズによる干渉を抑え、差動信号のノイズキャンセル性能を有効に利用するために、差動信号ラインは常に近接していなければなりません。 また、差動信号線長も等長になるようトレースを調整してください。 あらゆる高速設計で、インピーダンスの不整合は避けなければなりません (ビアを減らす、90 度に曲がるトレースを避けるなど)。 差動信号の一方ラインにインピーダンスの不整合があると他方の信号ラインにも影響が現れます。 差動信号のトレースのインピーダンスは選択されたケーブルのインピーダンスと整合していなければいけません (このインピーダンスはレシーバ入力端で差動信号間に入れる終端抵抗とも一致していなければなりません。)。最後に、チャネルリンクの TxOUT/RxIN ピンは、PCB 上での余分なトレースを避けるためにボードの端にできるだけ近づけてください。 これらはすべて高速性や EMI に影響を与える反射やクロストークを抑制するものです。

アプリケーション情報 (つづき)

未使用入力

TxIN の未使用入力は、すべてグラウンドに接続するか未接続のままにしてください。 レシーバの未使用入力は、オープンのままでかまいません。

終端

電流モードのドライバでは、レシーバの入力に終端抵抗が必要です。チャネルリンク・チップセットではレシーバ差動入力ペアの+と−ごとに 100Ω の終端抵抗が必要です。 実際の終端抵抗値は、ケーブルの差動特性インピーダンス (90Ω 〜 120Ω) と同じになるように選択します。 Figure 18 の例を参照ください。 PECL のような他の差動信号と異なり、プルアップやプルダウンの抵抗も必要ありません。リードのインダクタンスを減らすために表面実装タイプの抵抗を推奨します。 終端抵抗は差動信号を効果的に終端し、スタブを短くするためにレシーバ入力ピンのできるだけ近くに配置してください。

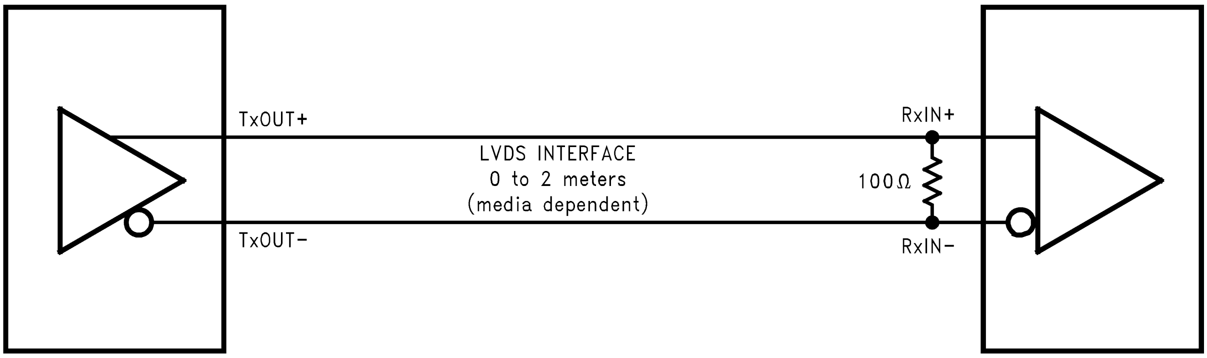


FIGURE 18. LVDS Serialized Link Termination

デカップリング・コンデンサ

性能を制限するスイッチング・ノイズを低減するために、バイパス・コンデンサを入れてください。各 V_{CC} と GND に 3 個並列にデカップリング・コンデンサ (多層セラミックの面実装タイプ) を挿入されることを推奨します (Figure 19)。 3 個のコンデンサの値は 0.1 µF、0.01 µF、0.001 µF です。 電源とグラウンドはできるだけ幅広のトレースを使用し各コンデンサはそれぞれ個別にグラウンド接続してください。 ボード上に十分なスペースがない場合、PLL V_{CC}、LVDS V_{CC}、ロジック V_{CC} の順に優先してください。

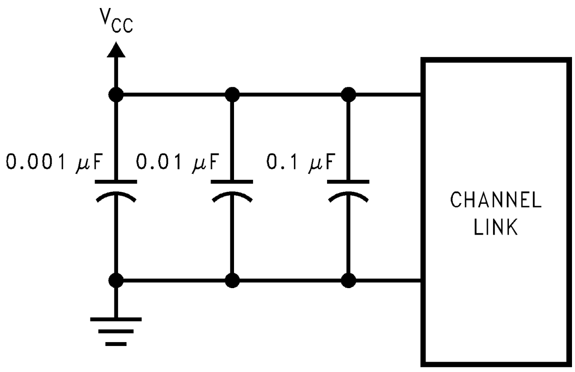


FIGURE 19. CHANNEL LINK Decoupling Configuration

クロックジッタ

チャネルリンクでは、PLL により LVDS を介して送られてきたクロックを再生します。 LVDS 上のシリアル化されたデータ 1 ビットの幅は、クロックの 1/7 となります。 例えば、85MHz クロックでは周期は約 11.76ns、1 ビットのデータ幅は 1.68ns となります。 差動スキュー (1 差動ペア内の Δt)、接続スキュー (差動ペア間の Δt)、クロックジッタはシリアル化されたデータをサンプリングするマージンを減少させる要因となります。トランスミッタへ入力するクロックはできるだけきれいなクロックを入力してください。各 V_{CC} ごとのデカップリング・コンデンサにより内部 PLL へ回り込むジッタを低減でき、LVDS クロックのジッタも低減できます。 全体のジッタ、スキューのマージンの割り振りにここでの測定が役立ちます。

ノイズマージン

通常、LVDS 信号は＋ 1.2V を振幅の中心として、信号振幅 300mV です。 チャネルリンク・レシーバは 100mV のスレッショルド範囲を持っているため、200mVの差動ノイズマージンとなります。差動信号によるデータ転送ではコモンモードの対策がシステムではより重要です。 LVDS レシーバの入力範囲はグラウンドから＋ 2.4V です。 つまり、グラウンドレベルの違いやコモンモード・ノイズにより振幅の中心が± 1V の変動が許されています。

トランスミッタの入力クロック

トランスミッタには、デバイスをイネーブル ($\overline{\text{PWR DOWN}}$ ＝ HIGH) にしている間はクロックを常に入力しなければなりません。 クロック停止時は $\overline{\text{PWR DOWN}}$ ピンを制御して PLL をディスエーブルにしてください。 クロック信号が再び印加されるまで $\overline{\text{PWR DOWN}}$ ピンを “ LOW ” に保持してください。 それによって確実にデバイスがリセットされ、PLL がロックされます。

パワーシーケンスとパワーダウン・モード

チャネルリンク・トランスミッタの出力は電源電圧が 2V になるまでトライステートを維持します。クロックとデータ出力は V_{CC} が 3V、$\overline{\text{PWR DWN}}$ ピンが 1.5V 以上になってから 10ms 後に動作を開始します。ドライバ、レシーバともに $\overline{\text{PWR DWN}}$ ピン (LOW アクティブ) に LOW を入力するだけで、いつでもパワーダウン・モードにできます。 この時消費電力は 5 µW (typ) まで落とせます。

アプリケーション情報 (つづき)

トランスミッタのクロック入力は、トランスミッタに電源電圧を印加する以前、または電源電圧印加後のどちらのタイミングで与えても構いません。ただし後者の場合、「トランスミッタの入力クロック」で述べているとおり、$\overline{\text{PWR DOWN}}$ 信号によってデバイスをパワーダウン・モードにしておく必要があります。 すなわち、TxCLK IN 端子に有効なクロック信号を与えていない状態で、電源電圧を印加してデバイスをイネーブル ($\overline{\text{PWR DOWN}}$ = HIGH) にしてはなりません。

チャネルリンク・チップセットはトランスミッタ、レシーバどちらかの電源が落ちれば、自身を保護する設計になっています。トランスミッタの電源が落ちた場合、レシーバのクロック (入力、出力とも) は停止します。データ出力 (RxOUT) はクロックが止まった時点での状態を保持します。 レシーバの電源が落ちた場合、レシーバの入力は内部のダイオードを介して V_{CC} に短絡されます。この時流れ込む電流は定電流ドライバのため制限 (入力あたり 5mA) されます。 このようにして、ラッチアップを回避しています。

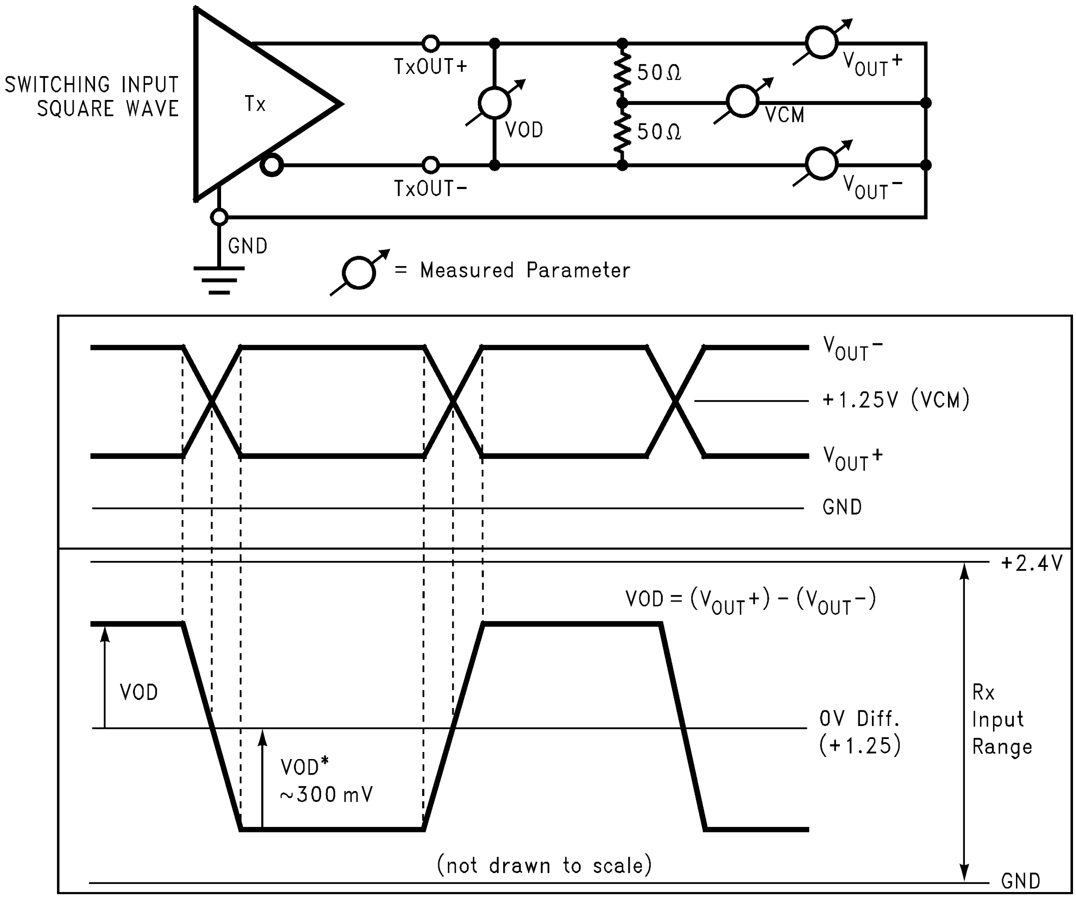
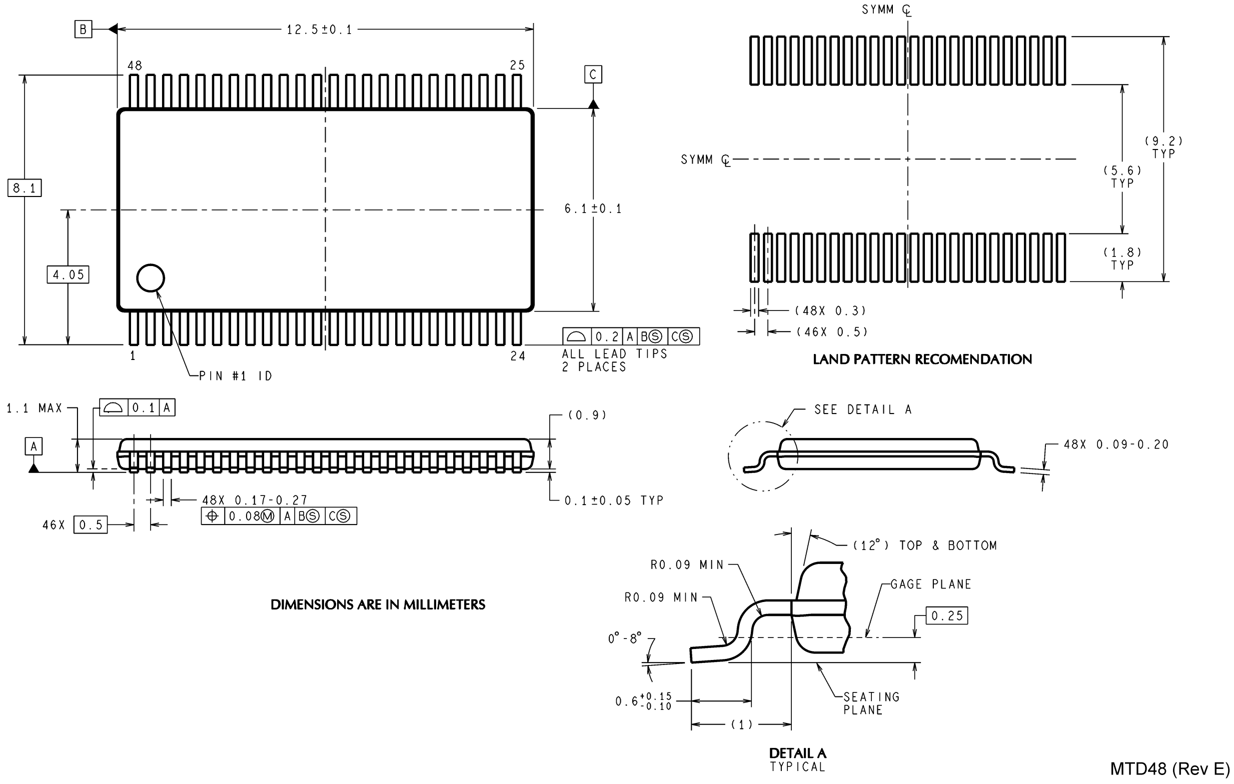


FIGURE 20. Single-Ended and Differential Waveforms

外形寸法図 特記のない限り inches (millimeters)



Order Number DS90CR217MTD or DS90CR218AMTD
Dimensions in millimeters only
NS Package Number MTD48

生命維持装置への使用について

弊社の製品はナショナル セミコンダクター社の書面による許可なくしては、生命維持用の装置またはシステム内の重要な部品として使用することはできません。

1. **生命維持用の装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。**
2. **重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。**

ナショナル セミコンダクター ジャパン株式会社

本社／〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料（日本語 / 英語）はホームページより入手可能です。

www.national.com/JPN/

その他のお問い合わせはフリーダイヤルをご利用ください。

フリーダイヤル **0120-666-116**

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定されうる危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合せ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTI からライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付られた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不公正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不公正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておりません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスティック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておりません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気
   - 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
   - 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
   - マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
   - 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。
2. 温・湿度環境
   - 温度：0～40℃、相対湿度：40～85％で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）
   - 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
   - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
4. 機械的衝撃
   - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
5. 熱衝撃
   - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
6. 汚染
   - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
   - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上

2001.11