3선 RTD 측정에서 리드 저항 제거를 위해 정합 N-JFET 사용

John Caldwell
Technologist, linear amplifiers

3선 감지는 센서 임피던스가 센서에 연결되는 리드와 유사한 크기의 센서 인터페이스에 대한 일반적인 접근 방식입니다. 이러한 센서의 일반적인 예로는 저항 온도 감지기(RTD)가 있습니다. Pt100 RTD의 저항은 0°C에서 100Ω입니다. 1Ω의 리드 저항도 측정되는 온도에 > 2.5°C의 오차를 유발할 수 있습니다. 3선 측정에서는 리드 연결 센서의 전압 강하를 동일하게 만들어 측정에서 제거할 수 있도록 하기 위해 정합 전류원이 사용됩니다.

그림 1에서는 간단하고 저렴한 접근 방식으로 모놀리식, 듀얼, N채널 JFET, **JFE2325**, 저항 2개를 사용하여 2개의 정합 전류원을 생성하는 3선, 비율 측정, RTD 측정 회로를 보여줍니다. 이 솔루션은 상대적으로 낮은 공급 전압에서도 작동할 수 있습니다. JFET 전류원 회로 양단의 전압 강하가 JFET의 핀치오프 전압(JFE2325의 경우 1.08V)보다 높기만 하면 올바르게 작동합니다.

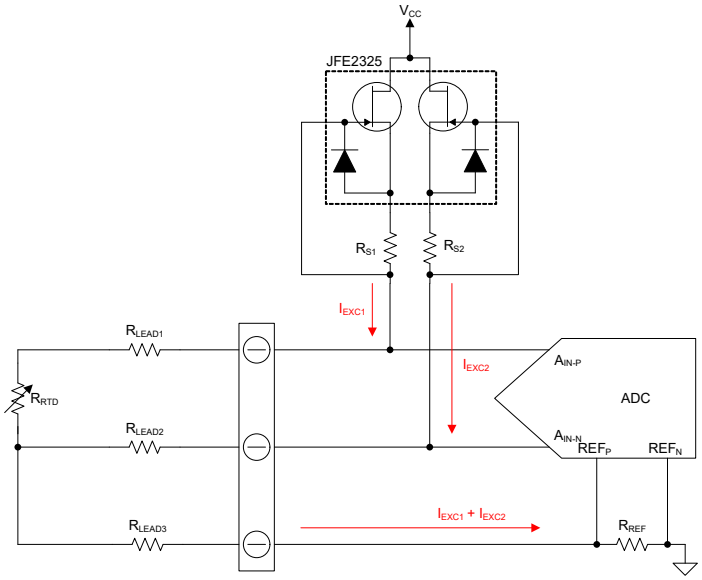


그림 1. *JFE2325 듀얼 JFET를 정합 전류원으로 사용하는 3선, 비율 측정 RTD 측정*

3선 접근 방식의 이점을 이해하기 위해 ADC의 각 입력에서 전압에 대한 방정식을 도출할 수 있습니다.

$$V_{AIN-P} = I_{EXC1}(R_{LEAD1} + R_{RTD}) + (I_{EXC1} + I_{EXC2})(R_{LEAD3} + R_{REF}) \quad (1)$$

$$V_{AIN-N} = I_{EXC2}(R_{LEAD2}) + (I_{EXC1} + I_{EXC2})(R_{LEAD3} + R_{REF}) \quad (2)$$

$R_{LEAD1} = R_{LEAD2} = R_{LEAD}$ 및 $I_{EXC1} = I_{EXC2} = I_{EXC}$인 경우, ADC에서 감지하는 차동 입력 전압을 **방정식 3**으로 단순화할 수 있습니다.

$$V_{ADC} = V_{AIN-P} - V_{AIN-N} = I_{EXC}(R_{LEAD} + R_{RTD}) + 2I_{EXC}(R_{LEAD3} + R_{REF}) - I_{EXC}R_{LEAD} - 2I_{EXC}(R_{LEAD3} + R_{REF}) = I_{EXC}R_{RTD} \quad (3)$$

세 번째 리드와 레퍼런스 저항의 전압 강하는 두 ADC 입력 모두에 공통이므로 제거됩니다.

마지막으로, 비율 측정 방식이기 때문에 여기 전류의 절대값과 온도 안정성은 두 전류원 간의 정합만큼 중요하지 않습니다. ADC 출력은 **방정식 4**에 나와 있는 것처럼 레퍼런스 저항에 대한 RTD 저항 비율에 따라서만 달라집니다.

$$\text{Output Code} = 2^{n-1} \times \frac{V_{RTD}}{V_{REF}} = 2^{n-1} \times \frac{I_{EXC}R_{RTD}}{2 \times I_{EXC}R_{REF}} = 2^{n-2} \times \frac{R_{RTD}}{R_{REF}} \quad (4)$$

전류원 계산

그림 2에 표시된 것처럼 N-JFET의 소스와 직렬로 저항을 배치하고 저항 아래에 게이트를 연결하는 방식으로 매우 단순한 JFET 전류원이 형성됩니다. 전류가 소스 저항 R_S를 통해 흐르면서 저항은 게이트 대비 JFET 소스의 전압을 높여 JFET 채널을 더 핀치오프하고, 음의 피드백을 통해 드레인-소스 전류 I_{DS}를 조정합니다.

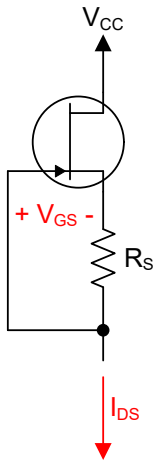


그림 2. *소스 저항 아래에 게이트를 연결하여 형성되는 단순한 JFET 전류원*

JFET 전류원의 출력 전류를 결정하는 가장 간단한 방법은 JFET 데이터시트의 I_{DS} 대 게이트-소스 전압(V_{GS}) 곡선을 사용하는 것입니다. JFE2325의 이 곡선은 **그림 3**에 재현되어 있습니다.

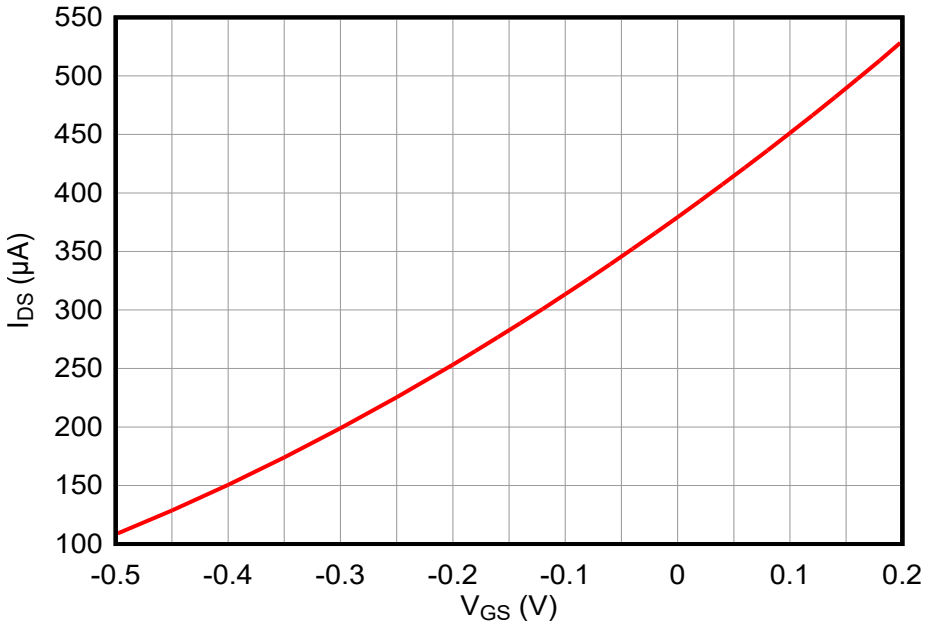


그림 3. *JFE2325의 드레인-소스 전류(I_{DS}) 대 게이트-소스 전압(V_{GS})*

R_S 양단의 전압 강하는 게이트-소스 전압에 상응하지만 극성이 반대임을 고려할 때, R_S의 값을 **방정식 5**에 표시된 것처럼 원하는 I_{DS}를 생성하는 데 필요한 V_{GS}에 대해 계산할 수 있습니다.

$$V_{GS} = -I_{DS}R_{DS} \rightarrow R_S = \frac{-V_{GS}}{I_{DS}} \tag{5}$$

그림 3에서 드레인 전류가 200µA인 경우, JFE2325는 –0.3V의 V_{GS}를 필요로 하는 것을 볼 수 있습니다. 이 값을 **방정식 5**에 삽입하면 **방정식 6**의 R_S를 구할 수 있습니다.

$$R_S = \frac{-V_{GS}}{I_D} = \frac{-(-0.3V)}{200\mu A} = 1.5k\Omega \tag{6}$$

JFET 핀치오프 전압 V_P 및 드레인-소스 포화 전류 I_{DSS}를 알고 있으면 **방정식 7**에서 I_{DS}를 바로 계산할 수 있습니다.

$$I_{DS} = I_{DSS}\left(1 - \frac{V_{GS}}{V_P}\right)^2 \tag{7}$$

V_{GS}에 **방정식 5**를 삽입하면 **방정식 8**이 구해집니다.

$$I_{DS} = I_{DSS}\left(1 - \frac{-I_{DS}R_S}{V_P}\right)^2 = I_{DSS}\left(1 + \frac{I_{DS}R_S}{V_P}\right)^2 \tag{8}$$

방정식 8은 전개하여 표준 이차 방정식*($ax^2 + bx + c = 0$)*으로 만든 후 이차 방정식(**방정식 9** 및 **방정식 10**)을 사용하여 구할 수 있습니다.

$$\left(\frac{I_{DSS}R_S^2}{V_P^2}\right)I_{DS}^2 + \left(\frac{2I_{DSS}R_S}{V_P} - 1\right)I_{DS} + I_{DSS} = 0 \tag{9}$$

$$x = \frac{-b \pm \sqrt{b^2 - 4ac}}{2a} \tag{10}$$

a, b 및 c는 **방정식 11**, **방정식 12** 및 **방정식 13**에 정의되어 있습니다.

$$a = \left(\frac{I_{DSS}R_S^2}{V_P^2}\right) \tag{11}$$

$$b = \left(\frac{2I_{DSS}R_S}{V_P} - 1\right) \tag{12}$$

$$c = I_{DSS} \tag{13}$$

이 접근 방식에서는 두 개의 근이 나오지만, 둘 중 하나만 전류원의 출력 전류에 유효한 값이 됩니다. JFE2325의 I_{DSS} 및 V_P에 대한 일반적인 값 385µA 및 –1.079V를 사용하면 1.5kΩ 소스 저항에서 200.4µA의 I_{DS}가 구해집니다.

두 전류원 간의 부정합 추정

두 전류원 간의 부정합을 계산하려면 JFET 매개 변수의 부정합이 결과 출력 전류에 미치는 영향을 조사해야 합니다. 디스크리트 JFET는 I_{DSS} 및 $_V$ P 값에 대한 허용 오차가 매우 넓습니다. 그러나 JFE2325의 두 JFET는 최신 IC 레이아웃 기술을 사용하여 동일한 다이에 제작되므로 두 JFET의 매개 변수가 서로 긴밀하게 정합합니다. **그림 4**는 74,000개 이상의 유닛에서 수집한 JFE2325의 두 JFET 간 I_{DSS} 부정합에 대한 양산 히스토그램입니다. 이 히스토그램에서 두 JFET의 I_{DSS}가 평균으로부터 3표준편차 이내에서 2% 이내로 정합한다는 것을 확인할 수 있습니다. 최대 I_{DSS} 부정합(평균으로부터 6표준편차)은 JFE2325 데이터시트에서 5%로 지정되어 있습니다.

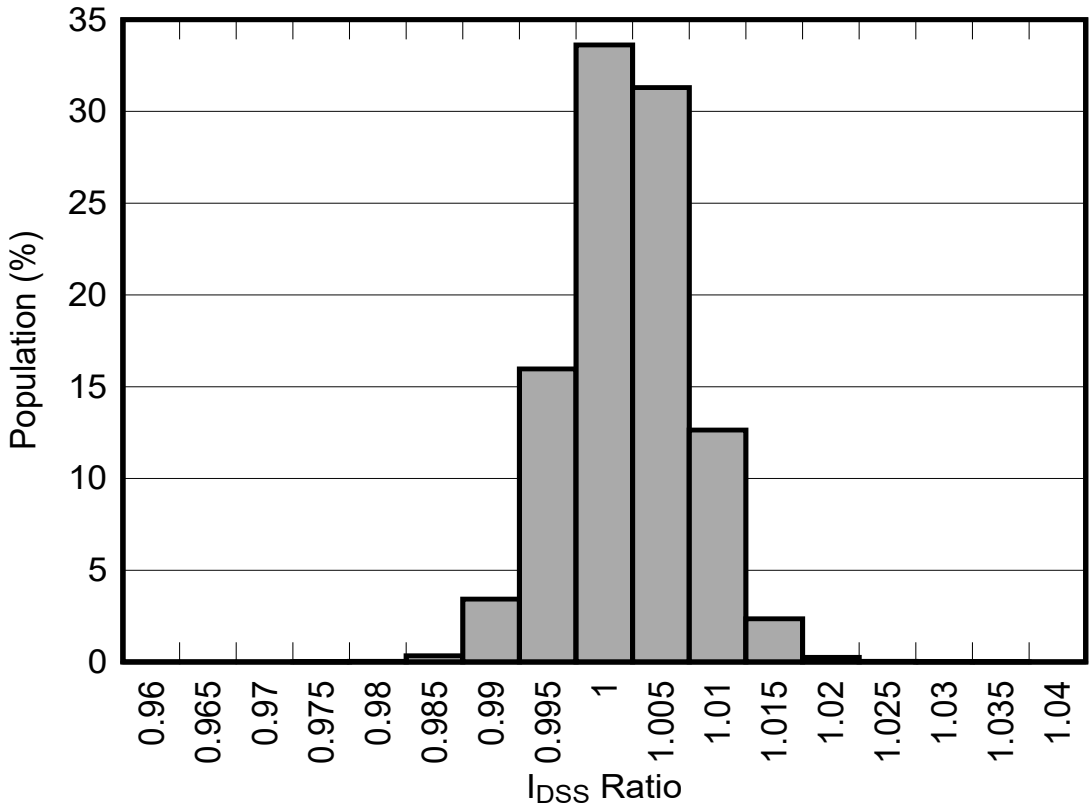


그림 4. *JFE2325의 두 내부 JFET 간 I_{DSS} 부정합 양산 히스토그램*

JFET I_{DSS} 및 V_P는 독립적인 매개 변수가 아닙니다. 두 수치는 서로 관련되어 있어 I_{DSS}가 증가하면 V_P가 0에서 더 멀어집니다. **그림 5**에서는 JFE2325에 대한 I_{DSS}와 V_P(플롯에서 게이트-소스 컷오프 전압 V_{GSC}라고 나옴) 사이의 이 상관 관계를 보여줍니다.

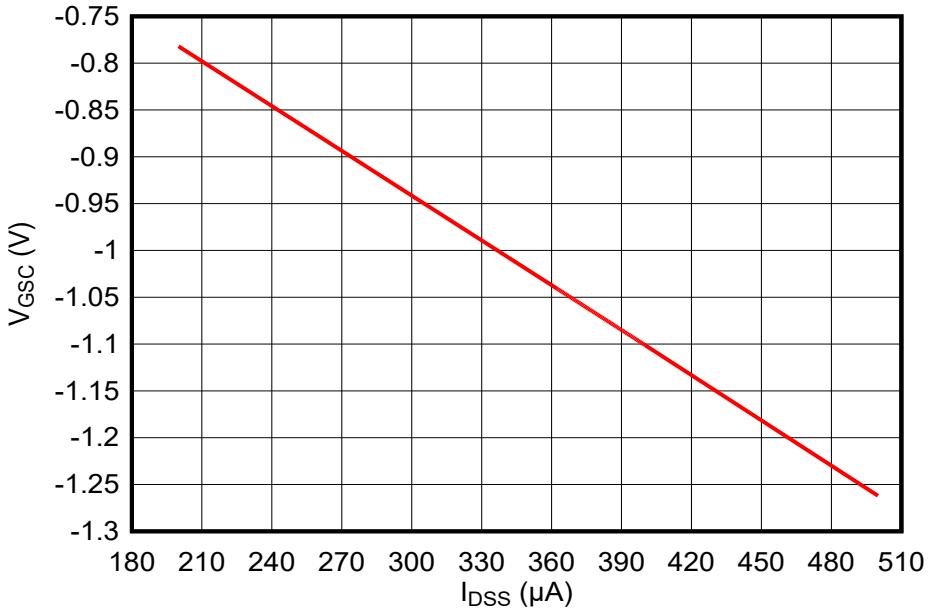


그림 5. *JFE2325의 핀치오프 전압 또는 게이트-소스 컷오프 전압(V_{GSC}) 대 I_{DSS}*

이 플롯에서 선형 방정식을 도출하여 특정 I_{DSS} 값이 주어진 JFET의 핀치오프 전압을 추정할 수 있고**방정식 14**를 구할 수 있습니다.

$$V_P = -1592.6 \times I_{DSS} - 0.4656V \quad (14)$$

표 1에서는 JFE2325의 가능한 3가지 JFET에 대한 I_{DSS} 및 V_P 값과 결과 I_{DS}를 보여줍니다. JFET1은 내부 JFET의 공칭 사례입니다. JFET2는 JFET1과 비교하여 I_{DSS}에서 2%의 부정합을 가지며, 이는 평균에서 3표준편차 떨어진 유닛에 해당합니다. JFET3은 JFET1과 비교하여 I_{DSS}에서 5%의 부정합을 가지며, 이는 평균에서 6표준편차 떨어진 유닛에 해당합니다.

	I_{DSS}	V_P	$I_{DS}(R_S = 1.5k\Omega)$
JFET1(공칭)	385.0µA	-1.079V	200.4µA
JFET2(2% 부정합)	377.3µA	-1.066V	197.1µA
JFET3(5% 부정합)	365.8µA	-1.048V	192.2µA

표 1. *JFE2325의 부정합 JFET에 대해 가능한 매개 변수*

각 JFET으로 구성한 전류원의 결과 I_{DS}는 I_{DSS} 및 V_P의 각 값을 사용하여 **방정식 9**를 풀어서 계산합니다. 전류원의 부정합은 **방정식 15** 및 **방정식 16**에서 계산합니다.

$$\text{Mismatch}(\pm 3\sigma, \%) = 100 \times \frac{|200.4\mu A - 197.1\mu A|}{200.4\mu A} = 1.647\% \quad (15)$$

$$\text{Mismatch}(\pm 6\sigma, \%) = 100 \times \frac{|200.4\mu A - 192.2\mu A|}{200.4\mu A} = 4.092\% \quad (16)$$

그림 6에 나와 있는 것처럼 소스 저항 R_S에 대해 부하 라인이 추가된 I_{DS} 대 V_{GS} 플롯을 보는 것도 도움이 될 수 있습니다. I_{DS} 값은 JFET의 곡선과 R_S의 부하 라인이 교차하는 지점에 해당합니다.

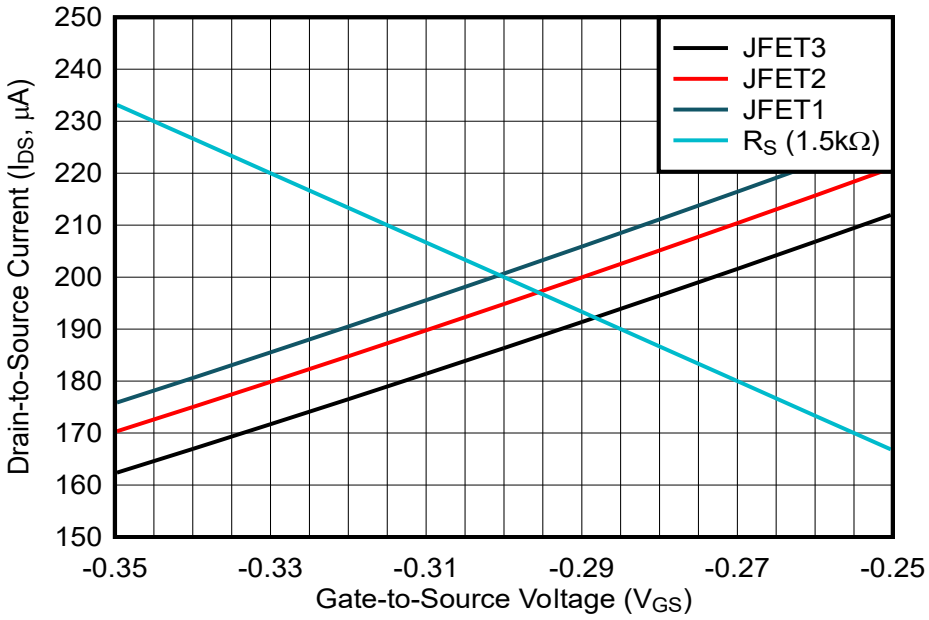


그림 6. *표 1(1.5kΩ 부하 라인)에 제시된 3개의 JFET에 대한 I_{DS} 및 V_{GS} 플롯*

I_{DSS}가 낮은 JFET2 및 JFET3 장치는 0에 더 가까운 V_{GS} 값에서 R_S 부하 라인과 교차하며, 결과적으로 JFET 채널이 덜 핀치오프됩니다. 반대로 JFET I_{DSS}가 증가하는 경우 R_S는 V_{GS}를 0V에서 더 멀어지게 하고 JFET 채널을 더 많이 핀치오프합니다. 이것이 JFET의 I_{DSS} 값이 2% 부정합해도 전류원의 출력 전류가 2% 부정합하지 않는 이유입니다. R_S를 증가시키면 두 전류원 간의 부정합이 감소하지만, 전류원의 출력 전류가 감소한다는 단점이 있습니다.

결론

3선 구성은 리드 저항으로 인해 RTD 측정에 발생하는 오차를 제거하는 일반적이고 효과적인 방법입니다. 그러나 3선 시스템에는 오차를 효과적으로 제거하기 위해 잘 정합된 전류원 한 쌍이 필요합니다. 이러한 정합 전류원을 생성하는 간단한 방법은 JFE2325와 같은 모놀리식 N-JFET 쌍을 사용하는 것입니다. JFE2325에는 초소형 0.8mm × 1mm 패키지 안의 동일한 다이에 잘 정합된 JFET 장치 2개가 포함되어 있습니다. 두 JFET는 동일한 실리콘 영역을 공유하기 때문에 매개 변수가 디스크리트 단일 JFET보다 훨씬 더 잘 정합합니다 또한 JFET에 소스 저항을 추가하면 음의 피드백이 발생하여 JFET 매개 변수의 변화로 인한 출력 전류의 변동이 줄어듭니다. 이 접근 방식은 매우 낮은 비용, 작은 솔루션 크기로 탁월한 정합 성능을 지원하는 두 개의 전류원을 제공하고 광범위한 전원 공급 장치 전압에서 작동할 수 있습니다.

참고 자료

1. Wu, Joseph, "**A Basic Guide to RTD Measurements**."
2. 텍사스 인스트루먼트, **JFE2325 일렉트릿 마이크용 듀얼, 저전력, N채널 JFET**.

작성자 소개

John Caldwell은 선형 증폭기 BU 기술자로서, 모든 제품 라인에 걸쳐 차세대 고성능 신호 컨디셔닝 증폭기를 정의하는 일을 하고 있습니다. John은 선형 증폭기 개발 및 정밀, 저잡음, 회로 설계 분야에서 15년 이상의 경험을 쌓았습니다. John은 버지니아 공대에서 전기 공학 학사와 석사 학위를 받았으며, 3개의 미국 특허를 보유하고 있고 30개 이상의 글을 발표했습니다.

중요 알림: 이 문서에 기술된 텍사스 인스트루먼트의 제품과 서비스는 TI의 판매 표준 약관에 의거하여 판매됩니다. TI 제품과 서비스에 대한 최신 정보를 완전히 숙지하신 후 제품을 주문해 주시기 바랍니다. TI는 애플리케이션 지원, 고객의 애플리케이션 또는 제품 설계, 소프트웨어 성능 또는 특허권 침해에 대해 책임을 지지 않습니다. 다른 모든 회사의 제품 또는 서비스에 관한 정보 공개는 TI가 승인, 보증 또는 동의한 것으로 간주되지 않습니다.

모든 상표는 해당 소유권자의 자산입니다.

© 2026 Texas Instruments Incorporated

IMPORTANT NOTICE AND DISCLAIMER

TI PROVIDES TECHNICAL AND RELIABILITY DATA (INCLUDING DATASHEETS), DESIGN RESOURCES (INCLUDING REFERENCE DESIGNS), APPLICATION OR OTHER DESIGN ADVICE, WEB TOOLS, SAFETY INFORMATION, AND OTHER RESOURCES “AS IS” AND WITH ALL FAULTS, AND DISCLAIMS ALL WARRANTIES, EXPRESS AND IMPLIED, INCLUDING WITHOUT LIMITATION ANY IMPLIED WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE OR NON-INFRINGEMENT OF THIRD PARTY INTELLECTUAL PROPERTY RIGHTS.

These resources are intended for skilled developers designing with TI products. You are solely responsible for (1) selecting the appropriate TI products for your application, (2) designing, validating and testing your application, and (3) ensuring your application meets applicable standards, and any other safety, security, regulatory or other requirements.

These resources are subject to change without notice. TI grants you permission to use these resources only for development of an application that uses the TI products described in the resource. Other reproduction and display of these resources is prohibited. No license is granted to any other TI intellectual property right or to any third party intellectual property right. TI disclaims responsibility for, and you fully indemnify TI and its representatives against any claims, damages, costs, losses, and liabilities arising out of your use of these resources.

TI’s products are provided subject to TI’s Terms of Sale, TI’s General Quality Guidelines, or other applicable terms available either on ti.com or provided in conjunction with such TI products. TI’s provision of these resources does not expand or otherwise alter TI’s applicable warranties or warranty disclaimers for TI products. Unless TI explicitly designates a product as custom or customer-specified, TI products are standard, catalog, general purpose devices.

TI objects to and rejects any additional or different terms you may propose.

Copyright © 2026, Texas Instruments Incorporated

Last updated 10/2025