

Power Supply Design Seminar

트랜스 인덕터 전압 레귤레이터(TLVR) 소개



Reproduced from
2024 Texas Instruments Power Supply Design Seminar
SEM2600
Topic 3
Matthew Schurmann and Mohamed Ahmed
Literature Number: KOKP023

Power Supply Design Seminar resources
are available at:
www.ti.com/psds

2019년에 출시된 트랜스 인덕터 전압 레귤레이터(TLVR) 토폴로지는 기존의 다상 벅 전압 레귤레이터 토폴로지에 비해 과도 응답, 전력 밀도 및 솔루션 비용이 크게 개선되었습니다(이 주제에서 검토한 설계 예제의 경우 40% 이상 커패시터 감소). 이 주제에서는 TLVR 토폴로지의 작동 원칙, 기존 전압 레귤레이터에 대한 성능 및 비용 개선, 설계 방정식 및 지침을 다룹니다.

소개

부하 과도 조절 성능은 마이크로프로세서, 그래픽 프로세서, 애플리케이션별 통합 회로 및 필드 프로그래머블 게이트 어레이와 같은 최신 컴퓨팅 장치를 위한 전압 레귤레이터를 설계하는 데 있어 중요한 과제입니다. 이러한 컴퓨팅 장치의 개발에서 기술 동향은 빠르게 증가하는 복잡성, 실리콘 프로세스 노드 진화, 트랜지스터 스케일링의 물리적 제한 및 칩셋 아키텍처로 인해 전압 레귤레이터에 대한 요구가 지속적으로 가속화되고 있습니다. 경우에 따라 고급 코어 레일 전압 레귤레이터는 1,000A를 초과하는 열 설계 전류, 2,000A를 초과하는 피크 전류, 나노초 범위의 상승 시간, 0.7V, ± 3%의 조정 출력 전압을 갖습니다.

TLVR 토폴로지는 다중 위상 하프 브리지 벅 컨버터 토폴로지에서 파생되었지만, **그림 1** 및 **그림 2**에서 볼 수 있는 것처럼 각 위상의 단일 권선 인덕터를 2개 권선 커플 인덕터로 대체합니다. 다중 위상 벅 컨버터와 마찬가지로, 각 커플 인덕터의 1차측은 각 위상의 스위치 노드와 컨버터 출력 전압 사이에 연결됩니다. 추가된 2차 권선은 직렬 루프에 연결되어 있으며 보상 인덕터(L_c)라고 하는 추가 인덕터가 있습니다. 다음 섹션에서는 부하 과도 응답, TLVR 토폴로지의 기본 작동 원칙, 장단점 및 실용적인 고려 사항 측면에서 다중 위상 벅 컨버터의 제한 사항에 대해 설명합니다.

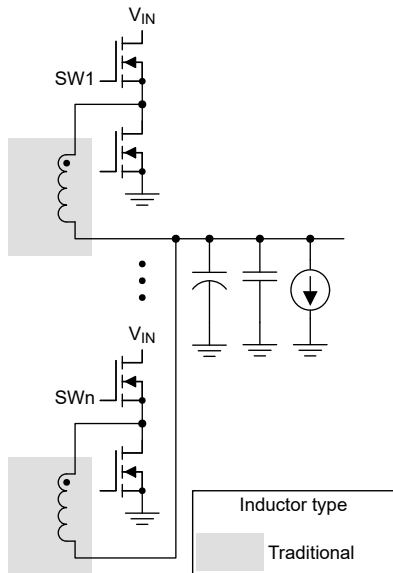


그림 1. 다중 위상 벅 토폴로지.

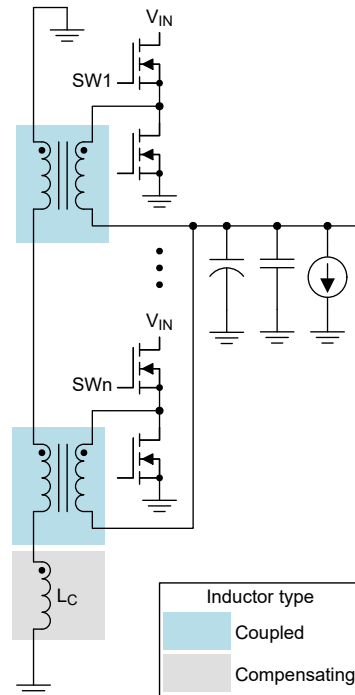


그림 2. TLVR 토폴로지.

컨버터 과도 응답

그림 3에서는 부하 과도 조건을 받는 전압 레귤레이터 시스템의 간단한 블록 다이어그램을 보여줍니다. I_{SUM}은 컨버터의 각 위상에서 나오는 개별 인덕터 전류의 합을 나타냅니다. I_{LOAD}는 부하 장치에서 유입되는 실제 부하 전류를 나타냅니다.

I_{LOAD} 가 변할 때마다 전압 레귤레이터는 I_{SUM} 이 새로운 I_{LOAD} 값을 추적하기 위해 각 위상에서 스위칭의 유효 듀티 사이클을 변경하여 응답합니다.

컨버터의 출력 필터, 특히 필터 인덕턴스는 I_{SUM} 이 새 I_{LOAD} 값으로 얼마나 빨리 램핑할 수 있는지 제한합니다. I_{SUM} 이 상승하거나 하강하는 동안 필터 커패시터는 시간이 지남에 따라 그 사이의 차이를 공급해야 합니다. 이를 충전 ΔQ 라고 합니다. 컨버터의 출력 전압은 이 시간 동안 언더슈트나 오버슈트되며, 전압 편차(ΔV)를 제한하는 유일한 방법은 I_{SUM} 이 램핑할 수 있는 속도를 높이거나(예를 들어 필터 인덕턴스를 줄여) 필터의 총 출력 커패시턴스(C_{OUT})를 늘리는 것입니다.

그림 4에서는 기존의 다중 위상 벡 컨버터의 일반적인 I_{SUM} 과 출력 전압 파형을 보여줍니다.

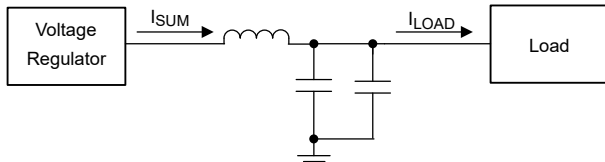


그림 3. 컨버터 부하 과도 블록 다이어그램.

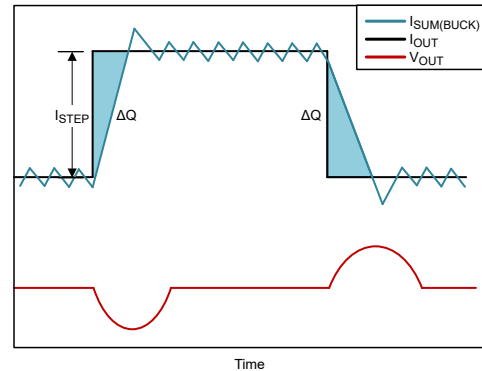


그림 4. 벡 컨버터 부하 과도현상.

방정식 1에서는 총 출력 편차 ΔV , C_{OUT} 및 컨버터가 전류를 높이거나 낮출 수 있는 비율(기울기) 사이의 관계를 보여줍니다.

$$\Delta V = \frac{\Delta Q}{C_{out}} = \frac{\frac{1}{2} \times t_{resp} \times I_{step}}{C_{out}} = \frac{\frac{1}{2} \times \frac{I_{step}^2}{Slope}}{C_{out}} \quad (1)$$

기존의 다중 위상 벡 컨버터의 경우 이 기울기는 각 위상에 사용되는 출력 필터 인덕턴스와 직접적인 관련이 있습니다. 인덕턴스 값을 줄이면 컨버터의 과도 응답이 실제로 개선됩니다.

하지만 각 위상의 출력 인덕턴스를 줄이면 컨버터의 전력 손실과 정상 상태 리플에 의도하지 않은 결과가 발생합니다. 인덕턴스 값을 줄이면 인덕터 전류 리플이 높아져 결과적으로 컨버터 출력의 전압 리플이 높아지므로 일반적으로 요구 사항도 엄격합니다. 또한 각 위상에서 RMS(루트 평균 제곱) 전류를 증가시켜 전체 컨버터 효율을 줄입니다.

다중 위상 벡 컨버터 토폴로지에서 인덕턴스 값은 정상 상태와 과도 이벤트 중에 일정합니다. 따라서 인덕턴스 값의 선택은 과도 응답, 전력 손실, 전압 리플과 전류 리플 간의 균형 잡힌 절충입니다. 인덕턴스를 매우 작게 만드는 것은 실용적이지 않으므로 사양을 충족하기 위해 ΔV 를 제한하기 위해 많은 양의 C_{OUT} 이 필요할 수 있습니다.

TLVR 토폴로지는 서로 다른 조건에서 다른 효과적인 필터 인덕턴스를 허용하여 이 문제를 해결합니다. 정상 상태 작동 시 필터 인덕턴스의 높은 유효 값은 컨버터 리플과 RMS 전력 손실을 제한합니다. 과도 조건 동안 낮은 유효 인덕턴스 값은 주어진 과도 조정 사양을 충족하는 데 필요한 C_{OUT} 의 양을 크게 줄입니다. **그림 5**에서는 TLVR 컨버터의 일반적인 부하 과도 응답을 보여주며 컨버터 응답 동안 I_{SUM} 기울기가 훨씬 더 높습니다.

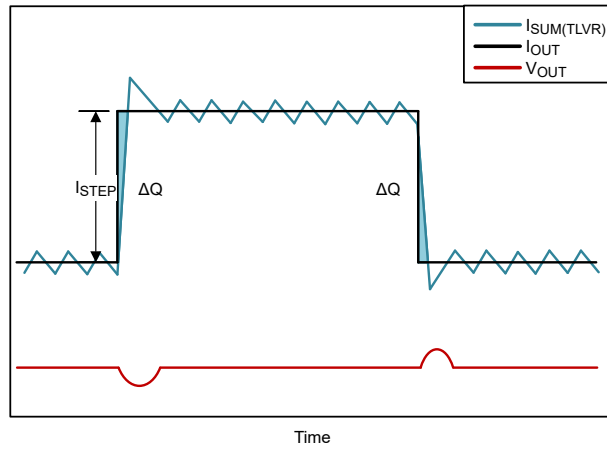


그림 5. TLVR 부하 과도.

적응형 전압 포지셔닝이라고도 하는 DC 부하 라인(DCLL)을 사용하는 다중 위상 벡 또는 TLVR 토폴로지를 사용하여 커패시턴스를 더 줄일 수 있습니다. 그림 6에서 개념을 보여줍니다. 이 기술은 다중 위상 벡 컨버터 또는 TLVR 토폴로지에 적용되며 기본적으로 변하지 않습니다.

사양을 고려할 때 부하 단계 크기와 최소 및 최대 허용 출력 전압 측면에서 컨버터는 일반적으로 부하 전류에 관계없이 출력 전압을 일정한 값으로 조정합니다. 이를 제로 부하 라인 $R_{LL} = 0m\Omega$ 이라고 합니다. 그런 다음 허용되는 출력 전압 오버슈트 ($\Delta V_{overshoot}$)와 언더슈트 ($\Delta V_{undershoot}$)는 각각 총 전압 사양 창의 50%와 같습니다.

제로 부하 라인 설계의 경우 감지된 부하 전류의 함수로 출력 전압을 설정하도록 컨버터를 구성합니다. 제로 부하(V_0)의 전압은 최대 허용 출력 전압에 가까운 값으로 구성됩니다. 방정식 2에서는 부하 라인을 사용할 때 출력 전압을 설명합니다.

$$V_{OUT}(I_{OUT}) = V_0 - R_{LL} \times I_{OUT} \tag{2}$$

방정식 3에서는 허용된 전압 변화 ΔV_{DROOP} 측면에서 R_{LL} 값을 정의합니다.

$$R_{LL} = \frac{\Delta V_{DROOP}}{\Delta I_{STEP}} \tag{3}$$

방정식 4 및 방정식 5는 컨버터의 필요한 C_{OUT} 에 R_{LL} 의 효과를 표현합니다.

$$C_{OUT}(\text{min, step up}) = \frac{\Delta Q_{\text{under}}}{\Delta V_{\text{under}}} = \frac{\frac{1}{2} \times \frac{I_{STEP}^2}{\text{Slope}}}{\Delta V_{ac} + R_{LL} \times I_{step}} \tag{4}$$

$$C_{OUT}(\text{min, step down}) = \frac{\Delta Q_{\text{over}}}{\Delta V_{\text{over}}} = \frac{\frac{1}{2} \times \frac{I_{step}^2}{\text{Slope}}}{\Delta V_{ac} + R_{LL} \times I_{step}} \tag{5}$$

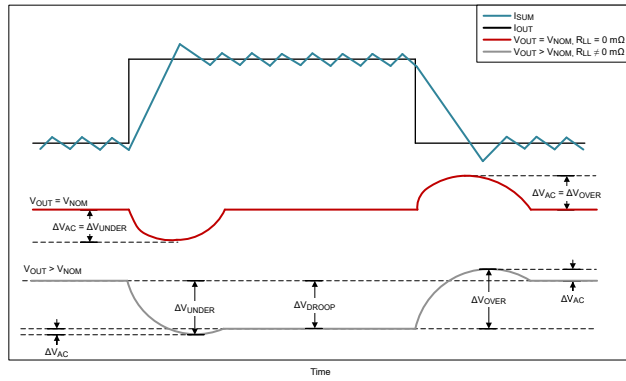


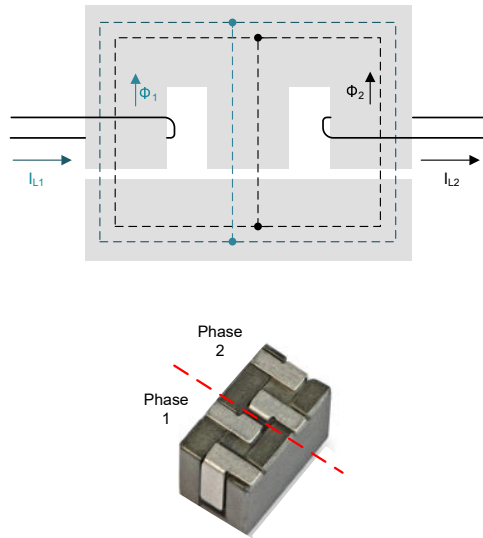
그림 6. DC 부하 라인 또는 적응형 전압 위치 지정을 사용합니다.

자기학

TLVR 토폴로지는 정상 상태 및 과도 조건에서 다양한 유효 인덕턴스 값을 허용함으로써 과도 이점을 달성하므로, 사용하는 커플 인덕터 구조의 동작을 탐색하는 것이 도움이 됩니다. 이 개념은 TLVR 토폴로지에만 국한된 것은 아닙니다.

그림 7에서는 컨버터의 개별 위상에 대한 권선이 공통 자기 코어를 공유하는 기존의 2상 커플 인덕터 구조를 보여줍니다. 코어의 자속이 부가적이므로 한 권선의 전류는 다른 권선의 전류를 직접 유도합니다. 부하 과도 상태 동안 1상(한 권선)의 전류 변화는 다른 위상에서 동일한 방향의 변화를 직접 초래합니다. 이 동작을 사용하면 총 컨버터 I_{SUM} 은 위상이 결합되지 않을 때보다 더 빠르게 부하 전류 수요를 충족시킬 수 있습니다.

이 구조의 서로 다른 권선 사이의 커플링 계수(K)는 일반적으로 0.4에서 0.7 사이입니다. 이 커플링은 코어 설계에 의해 잘 제어됩니다(그림 7에서 중간 레그의 공기 갭에 의해). 매우 높은 커플링($K \cong 1.0$)은 정상 상태에서 컨버터의 전류 리플을 증가시키기 때문에 유익하지 않습니다. 커플링이 매우 낮으면 일시적으로 얻을 수 있는 이점이 줄어듭니다.



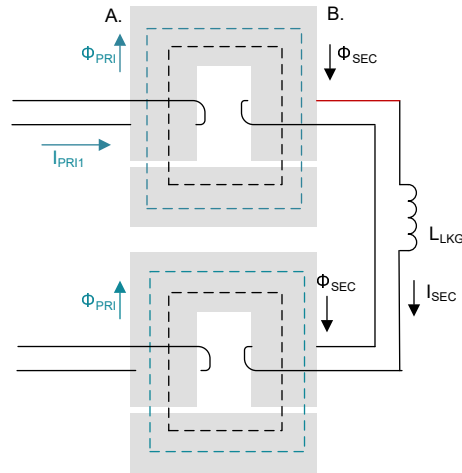
출처: Eaton

그림 7. 기존의 2상 역 커플링 인덕터.

위상 수가 많은 설계(4상 이상)를 위한 기존 커플링 인덕터의 채택은 여러 이유로 제한되었습니다. 이것을 더 높은 위상 수로 확장하려면 커플링 대칭을 유지하기 위해 복잡한 코어 지오메트리가 필요합니다. 또한 이 구조는 다양한 설계를 위해 인

덕터를 더 많이 사용자 지정해야 하며, 확장성을 제한합니다. 예를 들어 2상 및 3상 설계를 위해 다른 인덕터가 필요합니다. 또한 최근까지 공격적인 특허 보호로 인해 멀티소싱 옵션이 제한되었지만, TLVR 토폴로지에는 이러한 제한이 없습니다.

TLVR 토폴로지는 유사한 원리를 사용하지만 **그림 8**에 표시된 커플링 간접 인덕터라고 하는 다른 자기 구조에 의존합니다. 각 위상 인덕터에는 권선이 두 개 있는 자체 물리적 코어가 있으므로 이 구조는 간단하게 코어를 더 추가하여 더 높은 위상 수로 쉽게 확장할 수 있습니다. 각 커플링 인덕터의 자화 인덕턴스(L_M)는 에너지 저장 및 필터링을 제공합니다. 한 코어에 있는 두 권선 사이의 K 는 매우 높을 수 있습니다. 동일한 2차측 전류를 모든 위상에 전달하면 루프에 연결되어 있기 때문에 코어(위상) 간에 커플링이 달성됩니다.



- A. 1차측(전력계에 연결)
- B. 2차측(커플링 제공)

그림 8. 간접 커플링 2상 인덕터.

기존의 커플링 인덕터와 마찬가지로, 0.4~0.7 범위의 위상 간에 커플링 계수(α)를 갖는 것이 좋습니다. 2차 루프는 이 커플링을 제어합니다. 2차 루프의 인덕턴스는 매우 낮아 높은 커플링(따라서 큰 정상 상태 전류 리플)이 발생하거나 상호 연결 및 물리적 구조 오차의 결과로 인해 잘 제어되지 않을 수 있습니다.

위상 간의 커플링을 제어하기 위해 TLVR 토폴로지는 **그림 9**에 나와 있는 것처럼 2차측 L_C 에서 별도의 물리적 인덕터를 사용하는 경우가 많습니다. 2차측 루프의 누설 인덕턴스가 개별 커플 인덕터의 자화 인덕턴스에 비해 충분히 크고 제조를 통해 잘 제어할 수 있는 경우 별도의 물리적 L_C 가 필요하지 않으며, 특히 위상당 1MHz 이상으로 스위칭하는 고주파 설계에서 특히 그렇습니다.

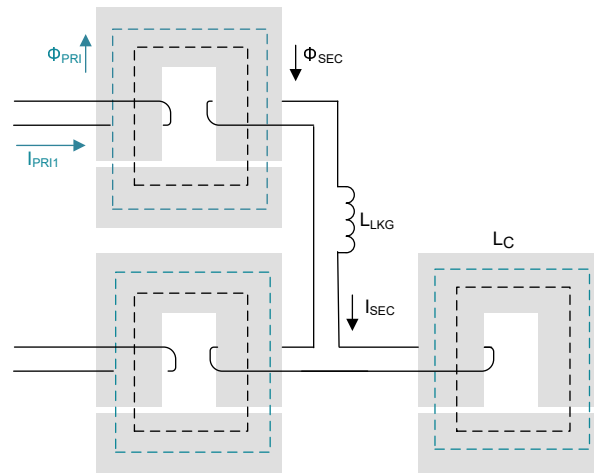
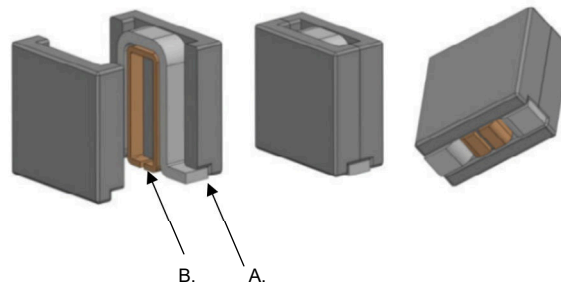


그림9. 물리적 보상 인덕터를 지원하는 간접 커플링 2상 인덕터.

그림 10에서는 TLVR 인덕터의 일반적인 구조를 보여줍니다. 인덕터 크기와 모양은 다중 위상 벽 컨버터의 기존 고전류 페라이트 코어 인덕터와 유사하며, 1차측 권선 내부에 2차 권선이 있습니다. 패키지 하단의 랜드 패턴은 동일한 물리적 PCB(인쇄 회로 기판)에서 TLVR 및 비 TLVR 설계와 공동 레이아웃을 지원합니다.



A. 1차측 권선

B. 보조 권선

출처: Eaton

그림10. 일반적인 TLVR 인덕터 구조.

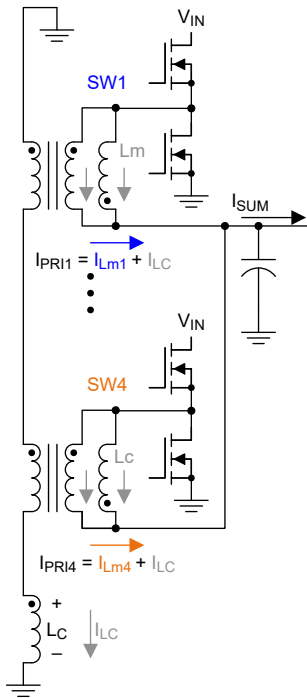
TLVR 토폴로지 작동 원칙

정상 상태 작동

그림 11에서는 중요한 노드, 전압 및 전류에 라벨이 붙은 일반적인 TLVR 컨버터 회로도를 보여줍니다. 그림 12에서는 4상이 표시된 TLVR 컨버터의 정상 상태 작동 파형을 보여줍니다. 이 예에서는 인접 위상의 펄스가 시간에 중첩되지 않습니다. TLVR 토폴로지에 대한 최대 듀티 사이클 요구 사항은 없습니다. 펄스가 시간에 중첩되는 더 높은 듀티 사이클 애플리케이션에도 동일한 원리가 적용됩니다.

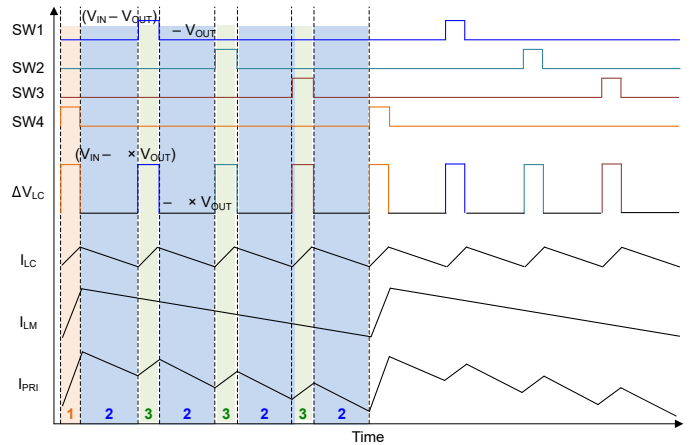
그림 12에서는 2차측 루프의 L_C 의 전압 및 전류 파형, 4상 모든 스위치 노드, 4상(I_{PRI4})의 1차측 전류를 보여줍니다. 이 그림에는 명확한 이해를 위해 세 가지 작업 상태에 대한 레이블이 포함되어 있습니다.

가장 중요한 관계는 L_C 루프의 관계와 I_{PRI} 및 I_{SUM} 에 미치는 영향입니다.



4상 예시, 펄스 중첩 없음

그림 11. 정상 상태 토폴로지.



4상, 펄스 중첩 없음

그림 12. 정상 상태 파형.

각 위상의 자화 전압은 벅 컨버터의 자화 전압과 유사합니다. 방정식 6은 위상 ON에 적용되고 방정식 7은 위상 OFF에 적용됩니다. 자화 인덕턴스는 항상 방정식 8에 나와 있는 기본 인덕터 관계를 따릅니다.

$$\Delta V_{Lm,i} = V_{IN} - V_{OUT} \quad (6)$$

$$\Delta V_{Lm,i} = -V_{OUT} \quad (7)$$

$$I_{LM} = \frac{\Delta V_{Lm}}{L_m} \quad (8)$$

L_C 의 전압은 방정식 9에 나와 있는 것처럼 항상 모든 위상에 걸쳐 자화 전압의 합계와 동일합니다. L_C 자체는 항상 방정식 10에 의해 표현되는 기본 인덕터 관계를 따릅니다.

$$\Delta V_{LC} = V_{Lm1} + V_{Lm2} + \dots \tag{9}$$

$$I_{LC} = \frac{\Delta V_{LC}}{L_C} \tag{10}$$

각 위상에 대한 I_{PRI} 는 **방정식 11**에 표시된 자화 전류 및 I_{LC} 의 합과 같습니다. I_{SUM} 은 모든 위상의 1차 전류의 합으로, **방정식 12**로 표시됩니다.

$$I_{PRI,i} = I_{Lm,i} + I_{LC} \tag{11}$$

$$I_{SUM} = I_{PRI1} + I_{PRI2} + \dots \tag{12}$$

표 1에는 플롯에 표시된 I_{PRI4} 의 파생 작업과 관련하여 **그림 12**에 표시된 각 관련 전압 및 전류의 상태가 요약되어 있습니다.

매개 변수	상태 1 위상 4 켜짐, 위상 1, 2 및 3 꺼짐	상태 2 모든 위상 꺼짐	상태 3 위상 4와 다른 두 개는 꺼짐, 다른 위상 중 하나는 켜짐
V_{SW1}	0V	0V	한 위상은 V_{IN} 과 같고 다른 두 위상은 0V와 같습니다
V_{SW2}	0V	0V	
V_{SW3}	0V	0V	
V_{SW4}	V_{IN}	0V	0V
ΔV_{LM1}	$-V_{OUT}$	$-V_{OUT}$	한 위상은 $V_{IN} - V_{OUT}$ 과 같고, 다른 2상은 $-V_{OUT}$ 과 같음
ΔV_{LM2}	$-V_{OUT}$	$-V_{OUT}$	
ΔV_{LM3}	$-V_{OUT}$	$-V_{OUT}$	
ΔV_{Lm4}	$V_{IN} - V_{OUT}$	$-V_{OUT}$	$-V_{OUT}$
I_{Lm4}	증가	감소	감소
ΔV_{LC}	ΔV_{LM1-4} 의 합계	ΔV_{LM1-4} 의 합계	ΔV_{LM1-4} 의 합계
I_{LC}	증가	감소	증가
I_{PRI4}	증가	더 빠르게 감소	더 느리게 감소

표 1. 4상 예시, 정상 상태 전압 및 전류.

부하 과도 스텝업

그림 13 및 **그림 14**은 동일한 부하 스텝업 조건에서 다중 위상 벡 컨버터와 TLVR 설계 간의 시뮬레이션된 비교를 보여줍니다. **표 2**에 시뮬레이션 매개 변수가 요약되어 있습니다. 이는 TI TPS536C9T DCAP+™ COT(Constant On Time) 컨트롤러를 사용하는 폐쇄형 루프 시뮬레이션입니다.

그림 13 및 **그림 14**에 대한 몇 가지 관찰 사항:

- TLVR 설계는 I_{SUM} 이 더 빠른 속도로 상승하기 때문에 과도 상태에 훨씬 더 빠르게 반응합니다(I_{SUM} 이 I_{LOAD} 를 따라잡음). 결과적으로 출력 전압 편차가 크게 낮아집니다.

- 과도 응답 중에 다중 위상 벅 컨버터 설계는 TLVR 설계보다 응답하는 데 더 많은 펄스가 필요했으며, 이는 TLVR 설계가 과도 이벤트 동안 펄스당 더 많은 에너지를 전달한다는 것을 의미합니다.
- 정전류 제어의 특성을 고려할 때 과도 응답 중 펄스가 중첩됩니다. 펄스 오버랩 작동 중에 L_C 전압이 입력 전압보다 훨씬 높은 수준까지 상승했다가 정상 상태에서 정상 작동으로 돌아갔습니다.

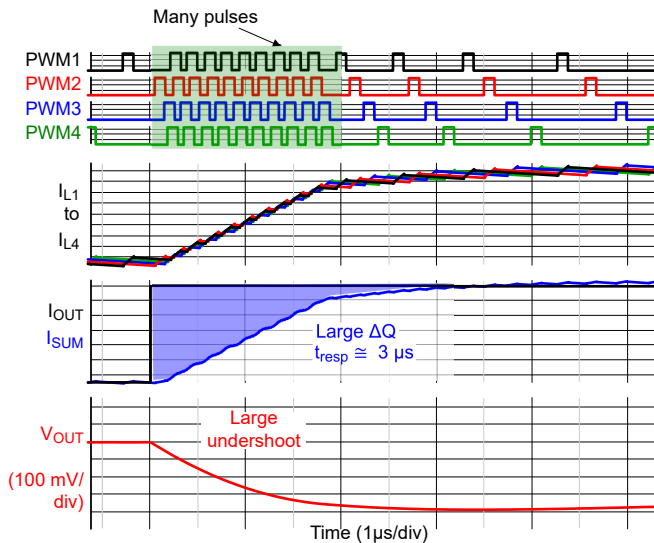


그림 13. 다중 위상 벅 컨버터.

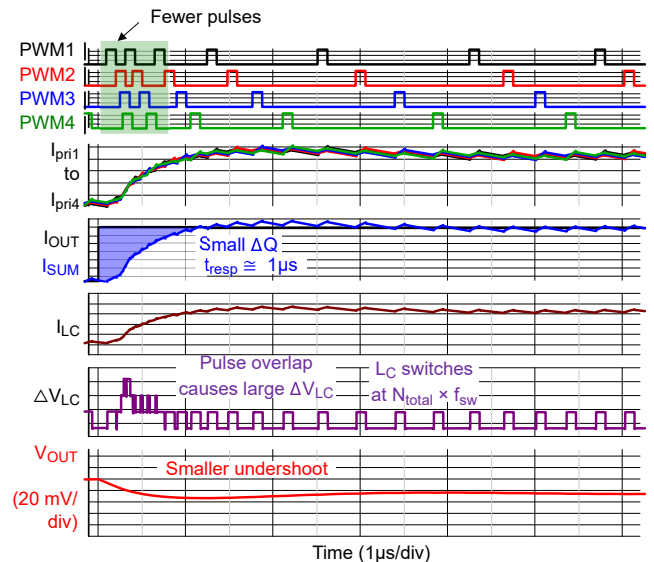


그림 14. TLVR.

매개 변수	설명	값
V_{IN}	입력 전압	12V
V_{OUT}	출력 전압	0.8V
N_{TOTAL}	총 작동 위상 수	4상
f_{SW}	위상당 스위칭 주파수	600kHz
I_{STEP}	부하 단계 크기	25A~325A, 순간
L_M/L_{BUCK}	TLVR의 경우 자화 인덕턴스 L_M , 벅의 경우 필터 인덕터 L_{BUCK}	150nH/150nH
L_C	TLVR의 L_C 값	180nH
C_{OUT}	출력 커패시턴스	5.0mF, 이상적인 값

표 2. 과도 부하 스텝업 및 스텝다운 예제에 대한 시뮬레이션 매개 변수.

정상 상태 작동 섹션에 설명된 관계를 따르면 TLVR이 벅 컨버터보다 I_{SUM} 을 더 빠르게 램핑할 수 있는 이유는 무엇이며 과도 응답이 우월한 이유는 분명하게 알 수 있습니다.

방정식 13에 나와 있는 것처럼 벅 컨버터의 I_{SUM} 은 간단히 말해 개별 인덕터 전류의 합입니다. TLVR 설계의 경우 방정식 14에 나와 있는 것처럼 각 자화 전류(I_{LM}) 외에도 각 위상마다 I_{LC} 가 한 번씩 추가됩니다.

$$I_{SUM(buck)} = I_{L1} + I_{L2} + \dots \tag{13}$$

$$I_{SUM(TLVR)} = I_{PRI1} + I_{PRI2} + \dots = (I_{Lm1} + I_{LC}) + (I_{Lm2} + I_{LC}) + \dots \tag{14}$$

시스템의 모든 인덕터는 기본 인덕터 관계를 따릅니다. 부하 스텝업에 대한 과도 응답 동안 컨버터는 NON 위상에서 동시에 켜집니다. 여러 가지 이유로 모든 위상을 한 번에 켜지 못할 수 있으므로 N_{OFF} 위상이 한 번에 꺼져 있는 것을 고려하십시오.

방정식 15 및 방정식 16은 다중 위상 벅 컨버터의 상승 I_{SUM} 기울기를 보여줍니다. 이러한 방정식은 컨트롤러 응답 시간을 고려하지 않지만 컨버터 토폴로지의 제한만 보여줍니다.

$$\uparrow \text{Slope}_{(\text{buck})} = \frac{\Delta V_{L1}}{L} + \frac{\Delta V_{L2}}{L} + \dots \quad (15)$$

$$\uparrow \text{Slope}_{(\text{buck})} \cong N_{\text{ON}} \left(\frac{V_{\text{IN}} - V_{\text{OUT}}}{L} \right) - N_{\text{OFF}} \left(\frac{V_{\text{OUT}}}{L} \right) \quad (16)$$

방정식 17 및 **방정식 18**은 비교 목적으로 TLVR 자화 인덕턴스 L_M 이 벅 필터 인덕터 L 과 같다고 가정할 때 TLVR 설계에 대한 상승하는 I_{SUM} 기울기를 보여줍니다.

$$\uparrow \text{Slope}_{(\text{TLVR})} = \left(\frac{\Delta V_{L1}}{L_M} + \frac{\Delta V_{L_C}}{L_C} \right) + \left(\frac{\Delta V_{L2}}{L_M} + \frac{\Delta V_{L_C}}{L_C} \right) + \dots \quad (17)$$

$$\uparrow \text{Slope}_{(\text{TLVR})} \cong \uparrow \text{Slope}_{(\text{buck})} + N_{\text{TOTAL}} \times \left(\frac{N_{\text{ON}} \times V_{\text{IN}} - N_{\text{TOTAL}} \times V_{\text{OUT}}}{L_C} \right) \quad (18)$$

이러한 방식으로 작성된 추가 용어는 TLVR 설계가 기존의 다중 위상 벅 설계보다 과도현상에 더 빠르게 응답할 수 있도록 하는 L_C 의 영향을 명확히 보여줍니다.

부하 과도 스텝다운

그림 15 및 **그림 16**은 동일한 부하 스텝다운 조건에서 다중 위상 벅 컨버터와 TLVR 설계 간의 시뮬레이션된 비교를 보여줍니다. 이 시뮬레이션은 **표 2**과 동일한 매개 변수를 사용합니다.

그림 15 및 **그림 16**에 대한 몇 가지 관찰 사항:

- TLVR 설계는 I_{SUM} 이 더 빠른 속도로 하강하기 때문에 과도 상태에 훨씬 더 빠르게 반응합니다(I_{SUM} 이 I_{LOAD} 를 따라감). 결과적으로 출력 전압 편차가 크게 낮아집니다.
- 이 경우 두 설계 모두 꺼져 있는 위상 수가 동일했지만 TLVR 설계는 I_{SUM} 을 더 빠른 속도로 감소시켰습니다.

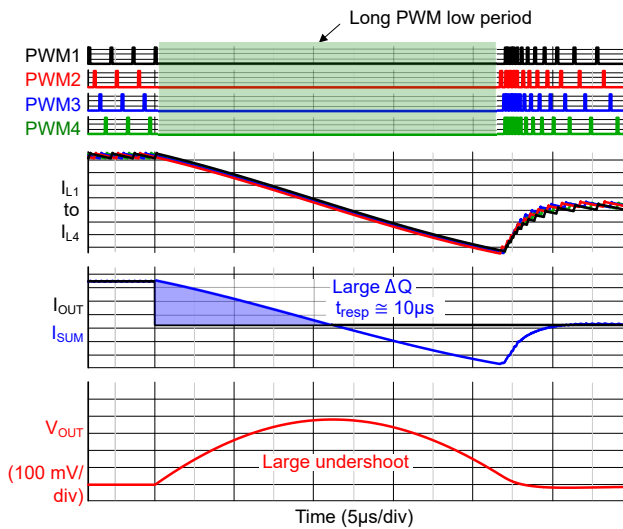


그림 15. 다중 위상 벅 컨버터.

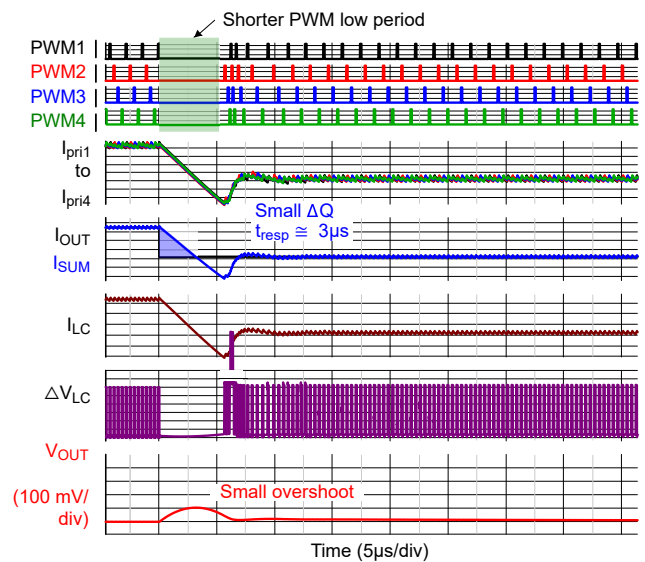


그림 16. TLVR.

다시 말하지만 I_{L_C} 와 I_{SUM} 의 관계는 TLVR 설계의 우수한 과도 응답을 설명합니다. 그리고 다시, 시스템의 모든 인덕터는 기본 인덕터 관계를 따릅니다. 부하 스텝다운에 대한 과도 응답 동안 컨버터는 N_{TOTAL} 에서 동시에 꺼집니다. **방정식 19**은 다중 위상 벅 컨버터의 하강 I_{SUM} 기울기를 보여줍니다.

$$\downarrow \text{Slope}_{(\text{buck})} = -N_{\text{TOTAL}} \left(\frac{V_{\text{OUT}}}{L} \right) \quad (19)$$

유사한 분석을 사용하여 **방정식 20**은 비교 목적으로 TLVR 자화 인덕턴스 L_M 이 벅 필터 인덕터 L 과 같다고 가정할 때 TLVR 설계에 대한 하강 I_{SUM} 기울기를 보여줍니다. TLVR 설계는 L_C 루프의 계수를 고려할 때 I_{SUM} 을 더 빠르게 감소시키며, 이는 위상 수 N_{TOTAL} 에 비례하여 감소합니다.

$$\downarrow \text{Slope}_{(\text{TLVR})} \cong \downarrow \text{Slope}_{(\text{buck})} - N_{\text{TOTAL}} \times \left(\frac{N_{\text{TOTAL}} \times V_{\text{OUT}}}{L_C} \right) \quad (20)$$

L_C 인덕터 선택

L_C 는 일반적인 DC/DC 설계의 다른 인덕터에 비해 고유한 요구 사항이 있습니다. L_C 의 인덕턴스는 전류 리플과 과도 응답 이점 간의 절충안입니다. 일반적으로 균형 잡힌 절충안으로 $L_C = L_M$ 부터 시작합니다. L_M 의 0.8 ~ 1.5 배 값은 개별 설계에서 일반적입니다. 낮은 값은 전원 모듈과 같은 고집적 설계에서 더 일반적일 수 있습니다.

정상 상태에서 L_C 는 고주파에서 스위칭하기 때문에 DC 전류가 없습니다(펄스 오버랩이 없는 경우 최소 $N_{\text{TOTAL}} \times f_{\text{SW}}$). 이 장치의 전류 리플은 **방정식 21**에 설명된 정상 상태에서 RMS 전류를 지배합니다. 높은 f_{SW} 로 인해 페라이트 코어와 같은 낮은 코어 손실 물질을 고려하십시오. 과도 응답을 더욱 개선하기 위한 또 다른 옵션은 소프트 포화 코어일 수 있습니다.

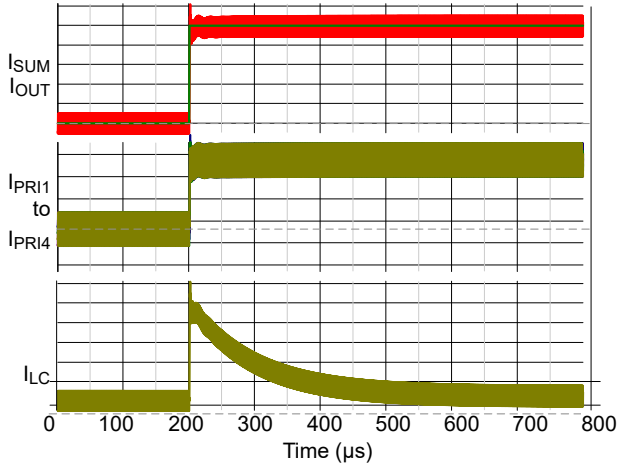
$$I_{\text{rms}(L_C)} \approx \frac{\Delta I_{L_C}}{\sqrt{12}} \quad (21)$$

그러나 L_C 는 **방정식 22**에 나와 있는 것처럼 과도 이벤트 중에 대량의 전류를 계속 제작할 수 있습니다. 여기서 t_{RESP} 는 **그림 15** 및 **그림 16**에 강조 표시된 대로 컨트롤러의 응답 시간입니다. 따라서 각 위상에 사용되는 커플 인덕터와 유사하게 높은 포화 전류로 L_C 의 크기를 조정합니다.

$$I_{\text{SAT}(L_C)} \gg t_{\text{RESP}} \times \left(\frac{N_{\text{ON}(\text{step})} \times V_{\text{IN}} - N_{\text{TOTAL}} \times V_{\text{OUT}}}{L_C} \right) \quad (22)$$

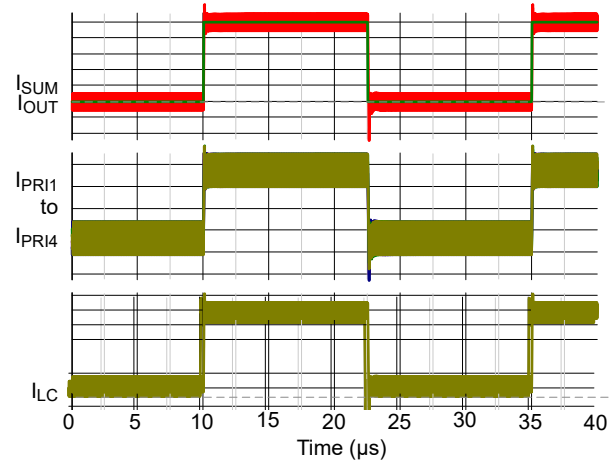
큰 전류를 구축한 후 L_C 전류는 **방정식 23**에 설명된 대로 L_C 및 L_C 루프의 저항에 의해 형성되는 비교적 높은 시간 상수 τ_{LC} 로 자연스럽게 0으로 감소됩니다. 고주파 반복 과도 현상 동안 I_{LC} 가 완전히 안정화되지 않을 수 있지만, 부하 스텝업 및 스텝다운이 I_{LC} 를 서로 다른 방향으로 밀기 때문에 포화되지는 않습니다. **그림 17** 및 **그림 18**에서는 이 동작의 시뮬레이션을 보여줍니다.

$$\tau_{LC} = \frac{L_C}{R_{DCR, L_C} + N_{total} \times R_{DCR, secondary} + R_{routing}} \tag{23}$$



$f_{sw} < 1\text{kHz}$

그림 17. 저주파 과도 이벤트.



$f_{sw} = 65\text{kHz}$

그림 18. 고주파 과도 이벤트.

L_C , ΔV_{LC} 의 전압은 부하 단계 응답 시 입력 전압 V_{IN} 을 초과할 수 있습니다. 컨트롤러가 부하 단계에 따라 N_{ON} 위상을 켜고 가정하고 **방정식 24**는 ΔV_{LC} 를 계산합니다.

$$\Delta V_{LC(max)} = N_{ON(step)} \times V_{IN} - N_{TOTAL} \times V_{OUT} \tag{24}$$

고전압이 장시간 동안 유지되지 않기 때문에 연면은 일반적으로 문제가 되지 않습니다. 그러나 경우에 따라 애플리케이션 안전과 부품 신뢰성을 위해 L_C 의 높은 과도 전압을 알아야 할 수도 있습니다.

정상 상태 리플

TLVR 기반 설계는 다중 위상 벡 컨버터에 비해 출력 전압 리플이 큰 경향이 있습니다. 일반적으로 다중 위상 컨버터는 인터리빙 및 리플 취소로 인한 전압 리플이 낮습니다. 컨버터는 각 인덕터 전류가 서로 $360^\circ/N_{TOTAL}$ 의 위상 오프셋이 있을 때 최적의 리플 제거를 달성합니다. 그러나 TLVR 설계의 경우 각 위상 오프셋에 대해 I_{LC} 가 I_{SUM} 에 한 번 추가됩니다. 따라서 각 자화 인덕턴스 I_{LM} 의 I_{SUM} 기여도는 인터리빙으로 인해 취소되지만, I_{LC} 의 기여도는 **방정식 25**에 표현된 바와 같이 상쇄되지 않습니다.

$$I_{SUM(TLVR)} = (I_{Lm1} + I_{LC}) + (I_{Lm2} + I_{LC}) + \dots \tag{25}$$

그림 19은 I_{SUM} 의 리플과 컨버터 출력 전압의 리플 사이의 관계를 보여줍니다. 일반적으로 컨버터와 부하는 PDN(전력 분배 네트워크)으로 분리됩니다. I_{SUM} 은 한 위치에서 컨버터에 의해 생성되어 일정 거리에 있는 PDN에 공급됩니다. 그러면 PDN의 임피던스(출력 커패시터 포함)에 따라 출력 전압 리플을 결정합니다. 이러한 이유로 TLVR 설계의 추가 I_{SUM} 리플은 직접 더 큰 출력 전압 리플로 변환됩니다.

그림 20의 예는 컨버터 듀티 사이클의 영향을 보여줍니다. 위상이 완벽하게 겹치는 경우 I_{LC} 리플은 특정 듀티 사이클에서 여전히 매우 작을 수 있습니다($N_{TOTAL} \times D = 1, 2, \dots$). 그러나 일반적인 애플리케이션(일반적인 출력 전압 1.0V, 1.2V 및 1.8V의 경우 **그림 20**에서 강조됨)의 경우 TLVR 설계는 일반적으로 I_{SUM} 리플이 25%~50% 더 크며, 결과적으로 출력 전압 리플이 25%~50% 더 큼니다. 많은 경우 과도 요구 사항을 충족하는 데 필요한 C_{OUT} 이 설계의 리플 요구 사항을 충족하는 데 필요한 커패시턴스보다 훨씬 더 크기 때문에 이는 문제가 되지 않습니다.

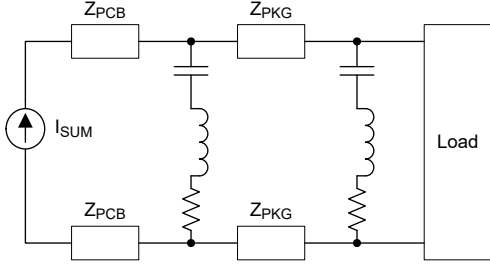
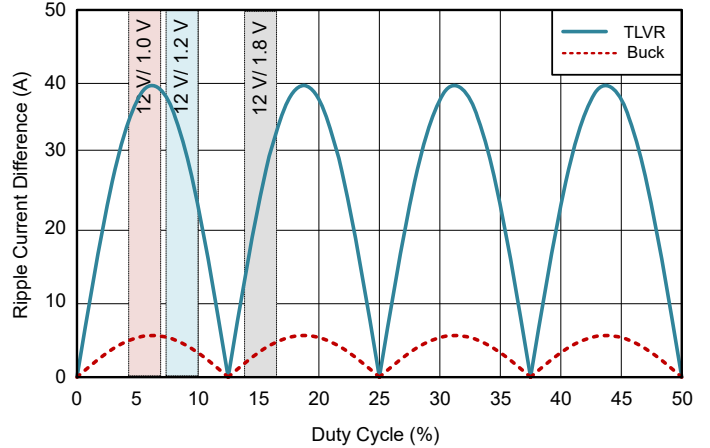


그림 19. 출력 전압 리플용 모델.



8상 $L_M = 150nH$
 $L_C = 120nH$ $L_{VR} = L_{eq} = 125nH$

그림 20. 출력 전압 리플.

TLVR 설계의 전압 리플을 줄이는 일반적인 기술은 둘 이상의 L_C 루프를 사용하는 것입니다. **그림 21**에서는 두 개의 L_C 루프가 있는 예를 보여줍니다. I_{LC1} 및 I_{LC2} 전류의 위상이 180도 차이 나도록 하여 I_{LC1} 및 I_{LC2} 전류 리플이 상쇄될 수 있도록 각 위상의 점화 순서가 설정됩니다.

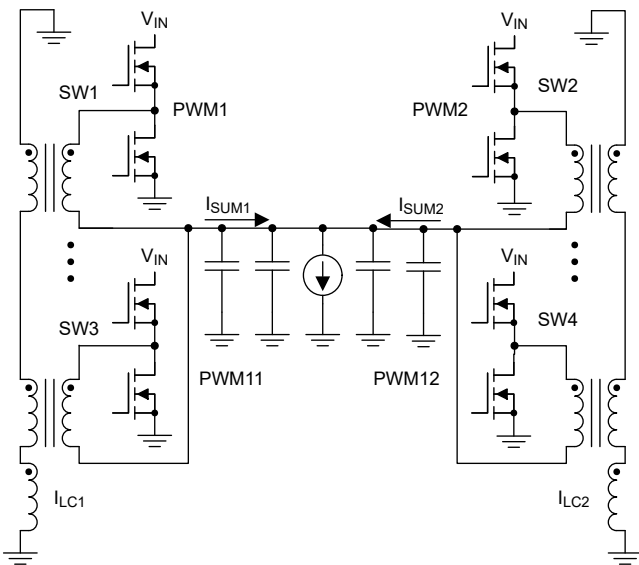


그림 21. 인터리브 TLVR 설계.

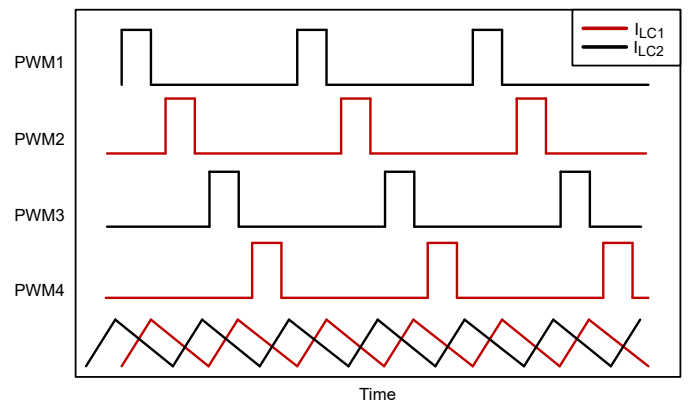


그림 22. 2루프 인터리브 TLVR 파형.

이 손실 메커니즘을 이해하기 위해 **방정식 27**는 일반적인 벡 컨버터 설계를 위한 전류 리플과 저압측 MOSFET RMS 전류 사이의 관계를 나타냅니다. TLVR 설계의 정확한 방정식은 더 복잡하지만 벡 컨버터 방정식은 ΔI_{pp} 의 영향을 보여줍니다.

$$I_{RMS(LSFET)} = I_{OUT} \times \sqrt{1-D} \times \sqrt{1 + \frac{1}{3} \times \left(\frac{\Delta I_{pp}}{2 \times I_{OUT}} \right)^2} \quad (27)$$

또한 위상 수가 많은 설계에서 DPS(동적 위상 삭감)를 사용하여 저부하 효율성을 개선하는 것도 일반적입니다. 총 출력 전류가 모든 위상을 활성화하지 않고도 지원할 수 있을 정도로 낮을 때 더 적은 수의 위상을 스위칭하면 스위칭 손실이 줄어 듭니다. 위상은 고압측 MOSFET ON, 저압측 MOSFET OFF, 고압측 MOSFET OFF, 저압측 MOSFET ON 또는 두 MOSFET OFF 중 세 가지 상태 중 하나에 있을 수 있습니다. 일반적으로 비선형 제어 기술은 부하 과도 이벤트 중에 위상을 빠르게 추가하거나 삭제하므로 부하 과도 응답에 미치는 영향이 최소화됩니다. **그림 25**에는 각 상태의 전류 흐름이 나와 있습니다.

TLVR 설계에서 L_C 루프는 스위칭되지 않는 세 번째 상태(두 MOSFET 모두 꺼짐)에서 바디-다이오드 위상을 통해 전류를 계속 전도합니다. 본체 다이오드인 V_{diode} 의 전압 강하로 인해 비스위칭 위상에서 추가적인 전력 손실이 발생합니다. 따라서 위상 삭감이 타당하기 위해서는 위상을 전환하지 않아 절약된 스위칭 손실은 바디 다이오드 손실에 의해 생성된 것보다 커야 합니다. **방정식 28**에서는 비스위칭 단계의 전력 손실에 대해 설명합니다.

$$P_{cond, HiZ} = I_{LC(rms)} \times V_{diode} \quad (28)$$

그림 26에 나와 있는 것처럼 위상 삭감을 켜고 끄는 동일한 설계의 측정된 플롯은 경부하에서 TLVR 설계 효율성 개선을 보여줍니다.

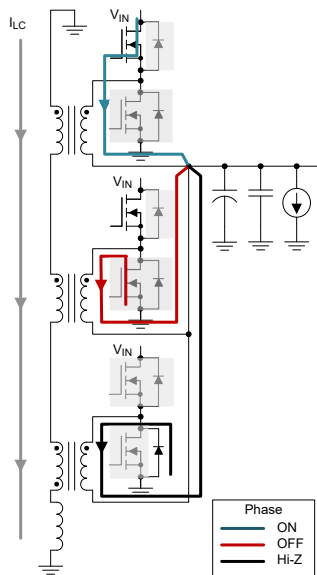
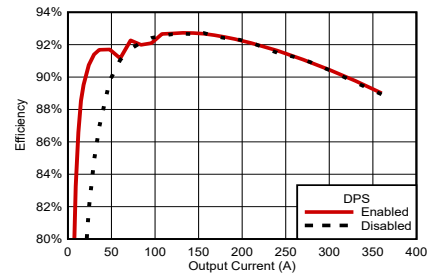


그림 25. 동적 위상 삭감.



$V_{IN} = 12V$
 $f_{SW} = 90kHz$
 8상
 TLVR
 $V_{OUT} = 1.80V$
 $L_M = L_C = 100nH$
 듀얼 사이드 레이아웃
 CSD08860(90-A SPS)

그림 26. 효율 대 출력 전류.

위상 곱셈

전력 요구 사항이 계속 빠르게 증가함에 따라 각 위상을 개별적으로 제어할 수 있는 PWM(독립적인 펄스 폭 변조) 출력이 충분하지 않은 컨트롤러 장치를 사용하여 매우 높은 위상 수(16상 이상)를 설계해야 하는 경우가 많습니다. 2상 또는 위상 곱셈이 일반화되었습니다. 즉, 동일한 컨트롤러 PWM 출력으로 두 개 이상의 전력계를 구동하는 것이 일반적입니다. 이 연습은 벡 컨버터 또는 TLVR과 같은 다중 위상 설계를 높은 전력 수준으로 쉽게 확장할 수 있도록 합니다.

그림 27에서는 인터리브드 위상 이중 TLVR 설계에서 L_C 루프 연결을 보여줍니다. 예를 들어 이러한 설계는 다른 컨트롤러 장치 없이 12상 설계를 24 또는 36상으로 확장할 수 있습니다. 동일한 L_C 루프의 모든 위상(두 배 또는 두 배 아님)에 대해 2차 측이 직렬로 연결됩니다. 각 위상의 전류 피드백 라인(그림 27에 표시되지 않음)은 전압 소스 출력 전류 감지 기능이 있는 전력계에 대해 저항 평균화될 수 있으며, 전류 소스 출력 전류 감지를 지원하는 전력계에 대해 간단히 추가할 수 있습니다. 전력계가 있는 L_C 루프에 관계없이 각 전력계(그림 27에도 표시되지 않음)의 온도 감지 출력을 함께 연결할 수 있습니다.

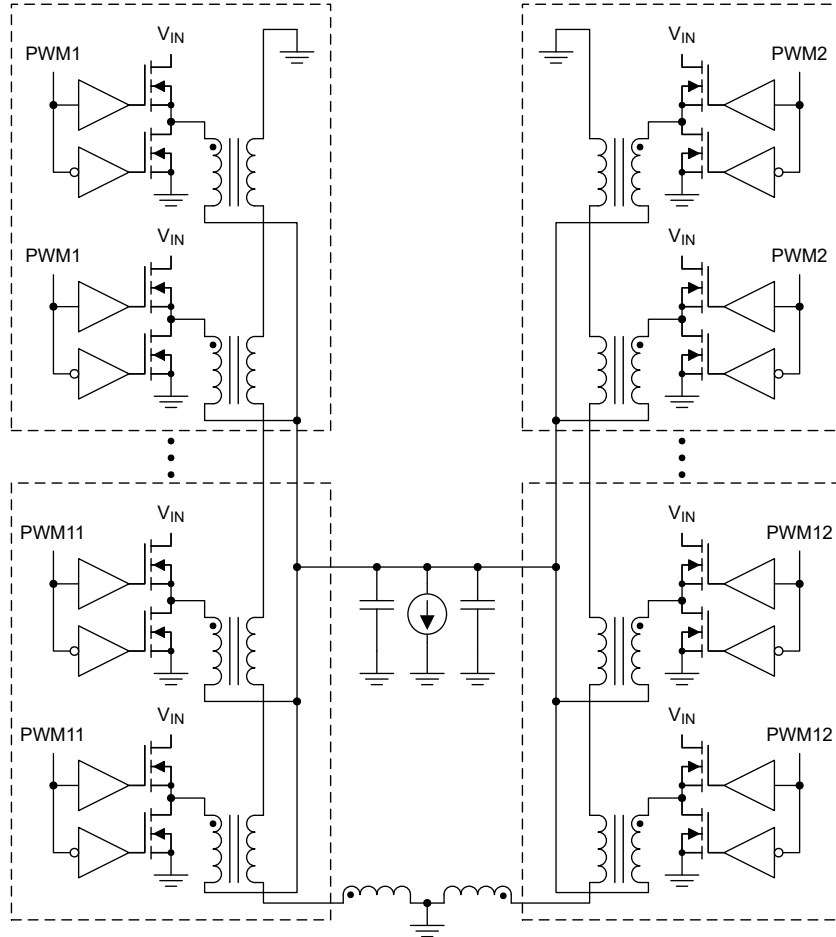


그림 27. 인터리브 위상 더블링 TLVR 토폴로지.

PCB 레이아웃

그림 28에서는 TLVR 설계 파워트레인의 회로 보드 레이아웃 및 부품 배치의 예를 보여줍니다. 이 설계는 4mm x 6mm 전력계 장치와 공동 레이아웃 호환 TLVR 인덕터를 사용하여 일반적인 다층 위상 벅 설계와 유사한 배치를 지원합니다.

L_C 루프는 1차측 패드의 중앙을 통해 흐릅니다. TLVR 인덕터의 2차 권선 패드는 많은 바이어스나 넓은 트레이스 없이도 이 루프의 실행이 최상위 계층에서 발생하도록 합니다. L_C 루프는 과도 이벤트 중에 높은 전류를 전도할 수 있기 때문에 트레이스는 클리어런스 규칙이 허용하는 만큼 넓지만 다층 평면은 필요하지 않습니다. 내부 접지면이 파워트레인의 한쪽에서 다른 쪽으로 L_C 루프를 닫습니다. 민감한 회로는 잡음 커플링과 간섭을 피하기 위해 L_C 및 L_C 루프 트레이스에 대한 간극이 넓어야 합니다.

L_C 인덕터는 전력계 측면에 배치됩니다. L_C 는 V_{IN} 보다 높은 전압을 받을 수 있고 고주파에서 스위칭되기 때문에 높은 과도 전압과 전자기 간섭도 문제가 될 수 있습니다. 이를 완화할 수 있는 한 가지 방법(**그림 28**에 표시되어 있지 않음)은 L_C 를 각각 절반 L_C 의 인덕턴스가 있는 두 개의 물리적 인덕터로 분할하고 전력계 한쪽에 대칭적으로 배치하는 것입니다. 이렇게 하면 과도 이벤트 중 각 L_C 에 걸쳐 최대 전압을 낮출 수 있습니다.

위상을 가능한 한 서로 가깝게 배치하면 공간이 절약됩니다. 그러나 단계 발화 순서는 순차적이지 않습니다. 위상 발화 순서를 변경하면 시간 영역에서 스위칭 노드를 서로 분산시켜 단계 간 크로스토크 문제를 줄이는 데 도움이 됩니다.

그림 29는 두 개의 L_C 루프를 사용하여 두 개의 위상을 서로 나란히 배치하고 동일한 L_C 루프에 배치하는 위상 수가 많은 레이아웃 설계의 축소된 예입니다. 각 루프의 위상과 L_C 는 **그림 28** 예를 따릅니다. 루프는 각 인덕터의 출력과 부하 장치의 핀 사이의 PDN 라우팅을 최소화하기 위해 부하의 반대쪽(기본 방향, 동쪽 및 서쪽이라고도 함)에 배치됩니다. 부하 장치의 양측은 설계에 필요한 대로 고주파 신호 라우팅에 대해 상단에서 열린 상태로 유지됩니다.

디커플링 커패시터(**그림 29**에 표시되지 않음)는 가능한 경우 부하 장치의 풋프린트 내부에 위치합니다. 폴리머 벌크 커패시터에 대한 자리 표시자가 있지만 일부 설계에서는 필요하지 않습니다. 컨트롤러 장치를 파워트레인에서 멀리 배치하면 각 L_C 루프의 전력계에 연결하는 긴 트레이스로 잡음 문제를 방지할 수 있습니다. 모든 고전력 설계와 마찬가지로 PWM 출력, 컨트롤러의 전류 감지 입력 및 전압 감지 라인에서 좋은 신호 무결성을 유지하는 것이 중요합니다.

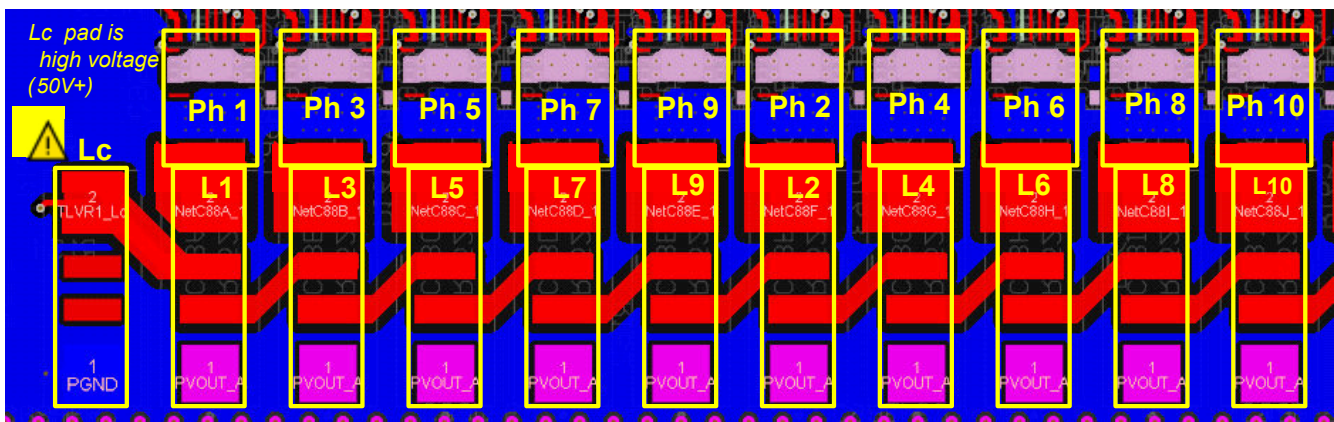


그림 28. TLVR 파워트레인 레이아웃의 예.

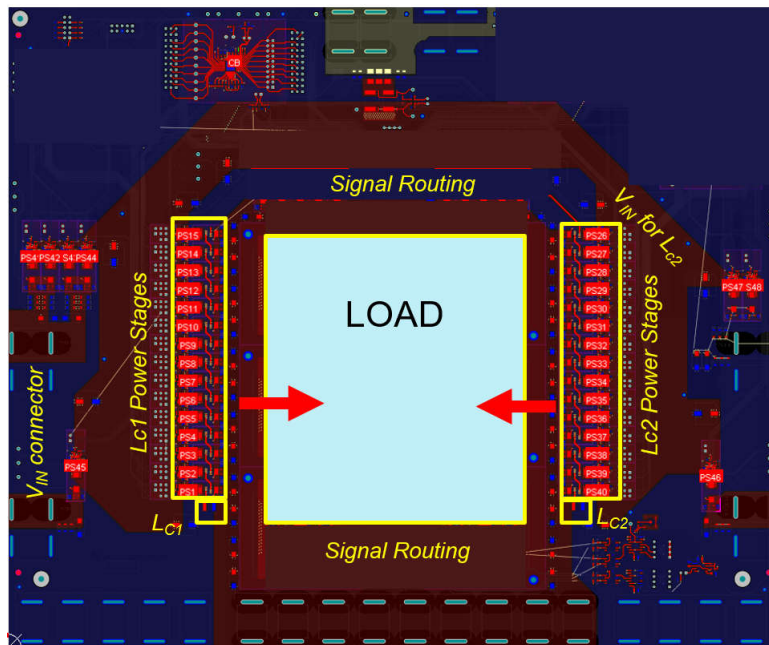


그림 29. 위상 이중 인터리브 TLVR 레이아웃의 예.

TLVR에 최적화된 구성 요소

최근 텍사스 인스트루먼트(TI)와 같은 반도체 공급업체들이 TLVR 설계에 최적화된 다중 위상 컨트롤러 및 전력계를 제공하기 시작했습니다.

TLVR 설계에 최적화된 스마트 전력계에는 TLVR 토폴로지의 고속 특성 때문에 더 높은 대역폭의 전류 감지 아키텍처가 필요합니다. 예를 들어 TI 스마트 전력계의 IOOUT 핀 파형은 TLVR 설계의 L_C 루프에서 유도된 전류 리플도 추적합니다. 이를 위해서는 위상당 설계의 f_{SW} 보다 최소한 그 자릿수가 높은 전류 감지 대역폭이 필요합니다. TLVR 토폴로지는 고속 과전류 보호에 대한 대역폭 요구 사항도 높입니다.

TLVR 설계에 최적화된 스마트 전력계는 점점 더 높은 RMS 전류에 대한 정격이 필요하며, 열적 및 전기적으로 짧은 시간 동안 RMS 정격의 거의 두 배에 달하는 피크 전류 펄스를 지원할 수 있어야 합니다.

일반적으로 컨트롤러는 재설계를 할 필요가 없습니다. TLVR 설계는 다중 위상 벡 설계를 위해 설계된 동일한 제어 체계를 사용합니다. TI 컨트롤러는 지속적인 온타임 밸리 전류 모드 제어의 한 형태인 DCAP+ 제어 아키텍처를 계속 사용하고 있습니다. 또한 TLVR 파워트레인에 적합한 새로운 게인 및 보상 매개 변수와 같은 2차 최적화가 여전히 필요할 수 있습니다. 고강도 PWM 출력 드라이버는 여러 L_C 루프 사이의 더 먼 거리를 지원하면서 양호한 신호 무결성을 유지해야 하는 경우가 많습니다. 개방 또는 단락 L_C 루프에 대한 새로운 보호 메커니즘을 구현하면 제조 적합성 문제가 완화됩니다.

표 3 및 **표 4**는 이 글을 쓰는 시점에 TI에서 제공하는 TLVR에 최적화된 구성 요소를 요약한 것이며, 더 많은 구성 요소가 개발 중입니다.

부품 번호	전류 등급	패키지 크기(mm)	I _{MON}
CSD95440	80A 피크, 40A RMS	5 × 6	전압
CSD95510	90A 피크, 50A RMS	4 × 6	전압
CSD95560	90A 피크, 50A RMS	4 × 6	전류
CSD95520	60A 피크, 30A RMS	4 × 5	전압
CSD95570	60A 피크, 30A RMS	4 × 5	전류

표 3. TLVR에 최적화된 스마트 전력계.

부품 번호	위상	패키지 크기(mm)	인터페이스
TPS53685	8	5 × 5	AMD
TPS536C5	12	6 × 6	AMD
TPS53689T	8	5 × 5	Intel
TPS536C9T	12	6 × 6	Intel

표 4. TLVR에 최적화된 컨트롤러.

병렬 설계 예시

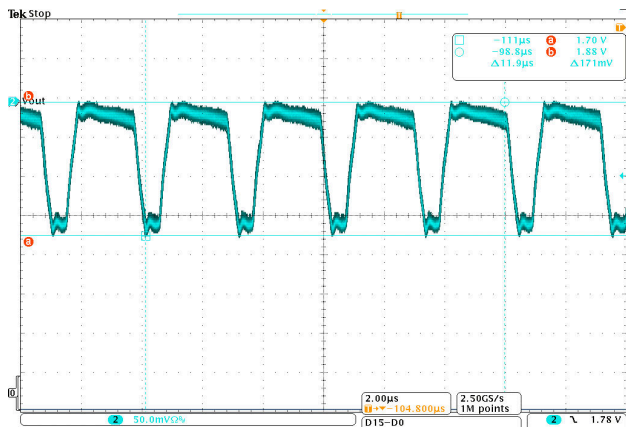
이전 섹션의 예제는 동일한 외부 부품을 사용한 다중 위상 벡 설계와 TLVR 설계 간의 차이를 보여주었습니다. 그러나 이 비교는 실용적이지 않은 경우가 많지만 부하의 요구 사항은 변하지 않기 때문에 부하 요구 사항에 맞게 변경해야 하는 설계입니다. 앞서 설명했듯이 TLVR 인덕터는 표준 단일 권선 인덕터와 풋프린트 호환이 가능하기 때문에 동일한 물리적 PCB 레이아웃으로 두 설계를 테스트할 수 있습니다.

표 5에 이러한 예가 요약되어 있습니다. TLVR 설계는 전체 전력 손실에 거의 영향을 주지 않으면서도 다상 벅 컨버터 설계와 동일한 사양을 충족하고 필요한 C_{OUT}을 40% 이상 줄였습니다.

매개 변수	다중 위상 벅	TLVR
컨트롤러/대기 전원 공급 장치	TPS53689, CSD95440	
입력 전압(V _{IN})	12V	
출력 전압(V _{OUT})	1.8V	
최소 출력 전압(V _{MIN})	1.59V	
최대 출력 전압(V _{MAX})	1.85V	
위상 수	8	
스위칭 주파수	900kHz	
부하 단계	60A~430A, 1,000A/μs, 1kHz~1MHz	
부하 라인	0.5mΩ	
L _M /L _{BUCK}	70nH	120nH
L _C	해당 없음	100nH
C _{BULK} (폴리머)	5 × 470μF	0 × 470μF
멀티레이어 세라믹 커패시터(MLCC)	80 × 22μF, 0402	80 × 22μF, 0402
	45 × 47μF, 0805	56 × 47μF, 0603
	15 × 100μF, 0805	0 × 100μF, 0805
	8 × 0.1μF, 0402	8 × 0.1μF, 0402
최대 전력 효율(η _{PEAK})	94.0%	93.9%
전부하 효율성(η _{Full})	88.1%	88.1%
V _{MIN} 측정(최악의 경우)	1.600V(+10mV 마진), R _{LL} 에 의해 지배됨	
V _{MAX} 측정(최악의 경우)	1.846V(+4mV 마진)	
총 출력 커패시턴스(C _{OUT})	7.7mF	4.4mF

표 5. 설계 매개 변수.

그림 30 및 그림 31는 이 설계의 최악의 오버슈트 파형을 보여줍니다.



V_{MAX} = 1.846 V
D = 20%
f_{SW} = 330kHz



V_{MAX} = 1.839 V
D = 10%
f_{SW} = 190kHz

그림 30. 최악의 경우 오버슈트(다중 위상 벅 컨버터).

그림 31. 최악의 경우 오버슈트(TLVR).

요약

TLVR 토폴로지는 위상 수가 많은 저전압 비절연 설계를 위한 기존의 다중 위상 벅 컨버터 설계의 진화입니다. 출력 커패시터를 크게 절약할 수 있으며, 점점 더 인기가 높아지고 있습니다. 이 백서에서는 TLVR 설계자를 위한 개념, 작동 원칙, 장단점, 설계 예제 결과 및 실용적인 고려 사항을 소개했습니다.

추가 리소스

- Technical Disclosure Commons. “[Fast Multi-Phase Trans-Inductor Voltage Regulator](#).” 기술 공개 공통 방어 간행물 시리즈, 2019년 5 월 9일.
- Radhakrishnan, Kaladhar 및 Jonathan Douglas, “마이크로프로세서 전력 공급의 과제.” APEC 2022, 2022년 3월 22일.
- Parisi, Carmen. “[다상 벅 설계 시작부터 마무리까지\(1부\)](#).” 텍사스 인스트루먼트 애플리케이션 보고서, 문서 번호 SLVA882B, 2021년 4월.
- Dong, Yan. 2009. “[Investigation of Multiphase Coupled-Inductor Buck Converters in Point-of-Load Applications](#).” Ph.D. dissertation, Virginia Polytechnic Institute and State University.
- Qiu, Yang. 2007. “[Coupled Inductors for Power Supplies: Advantages and Compromises](#).” EETimes, June 2007.
- Lu, Zengyi, and Wei Chen. “Multi-Phase Inductor Coupling Scheme with Balancing Winding in VRM Applications.” Published in Proceedings of the 22nd Annual IEEE Applied Power Electronics Conference and Exposition, Feb. 25-March 1, 2007, pp. 680-684.
- Zhu, Feiyang. “Multi-Phase Coupled Inductor Analysis for Multi-Phase Voltage Regulators.” Center for Power Electronics Systems PMC Review, June 2021.
- Jiang, Shuai, Xin Li, Mobashar Yazdani, and Chee Chung. “Driving 48V Technology Innovations Forward – Hybrid Converters and Trans-Inductor Voltage Regulator (TLVR).” Published in 34th Annual IEEE Applied Power Electronics Conference and Exposition, March 15-19, 2020.
- Erickson, Robert W., and Dragan Maksimovic. 2020. “Fundamentals of Power Electronics, Third Edition.” New York: Springer AG.

중요 알림 및 고지 사항

TI는 기술 및 신뢰성 데이터(데이터시트 포함), 디자인 리소스(레퍼런스 디자인 포함), 애플리케이션 또는 기타 디자인 조언, 웹 도구, 안전 정보 및 기타 리소스를 "있는 그대로" 제공하며 상업성, 특정 목적 적합성 또는 제3자 지적 재산권 침해에 대한 묵시적 보증을 포함하여(그러나 이에 국한되지 않음) 모든 명시적 또는 묵시적으로 모든 보증을 부인합니다.

이러한 리소스는 TI 제품을 사용하는 숙련된 개발자에게 적합합니다. (1) 애플리케이션에 대해 적절한 TI 제품을 선택하고, (2) 애플리케이션을 설계, 검증, 테스트하고, (3) 애플리케이션이 해당 표준 및 기타 안전, 보안 또는 기타 요구 사항을 충족하도록 보장하는 것은 전적으로 귀하의 책임입니다.

이러한 리소스는 예고 없이 변경될 수 있습니다. TI는 리소스에 설명된 TI 제품을 사용하는 애플리케이션의 개발에만 이러한 리소스를 사용할 수 있는 권한을 부여합니다. 이러한 리소스의 기타 복제 및 표시는 금지됩니다. 다른 모든 TI 지적 재산권 또는 타사 지적 재산권에 대한 라이선스가 부여되지 않습니다. TI는 이러한 리소스의 사용으로 인해 발생하는 모든 청구, 손해, 비용, 손실 및 책임에 대해 책임을 지지 않으며 귀하는 TI와 그 대리인을 완전히 면책해야 합니다.

TI의 제품은 **TI의 판매 약관**, **TI의 일반 품질 지침** 또는 **ti.com** 이나 해당 TI 제품과 함께 제공되는 기타 조건의 적용을 받습니다. TI가 이러한 리소스를 제공한다고 해서 TI 제품에 대한 TI의 해당 보증 또는 보증 부인 정보가 확장 또는 기타의 방법으로 변경되지 않습니다. TI가 명시적으로 제품을 사용자 정의 또는 고객 정의용으로 지정하지 않는 한, TI 제품은 범용의 표준 카탈로그 장치입니다.

TI는 사용자가 제안할 수 있는 어떠한 추가적이거나 상이한 조건도 반대하며 이를 거부합니다.

Copyright © 2026, Texas Instruments Incorporated

최종 업데이트: 2025/10/25

IMPORTANT NOTICE AND DISCLAIMER

TI PROVIDES TECHNICAL AND RELIABILITY DATA (INCLUDING DATASHEETS), DESIGN RESOURCES (INCLUDING REFERENCE DESIGNS), APPLICATION OR OTHER DESIGN ADVICE, WEB TOOLS, SAFETY INFORMATION, AND OTHER RESOURCES "AS IS" AND WITH ALL FAULTS, AND DISCLAIMS ALL WARRANTIES, EXPRESS AND IMPLIED, INCLUDING WITHOUT LIMITATION ANY IMPLIED WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE OR NON-INFRINGEMENT OF THIRD PARTY INTELLECTUAL PROPERTY RIGHTS.

These resources are intended for skilled developers designing with TI products. You are solely responsible for (1) selecting the appropriate TI products for your application, (2) designing, validating and testing your application, and (3) ensuring your application meets applicable standards, and any other safety, security, regulatory or other requirements.

These resources are subject to change without notice. TI grants you permission to use these resources only for development of an application that uses the TI products described in the resource. Other reproduction and display of these resources is prohibited. No license is granted to any other TI intellectual property right or to any third party intellectual property right. TI disclaims responsibility for, and you fully indemnify TI and its representatives against any claims, damages, costs, losses, and liabilities arising out of your use of these resources.

TI's products are provided subject to [TI's Terms of Sale](#), [TI's General Quality Guidelines](#), or other applicable terms available either on [ti.com](#) or provided in conjunction with such TI products. TI's provision of these resources does not expand or otherwise alter TI's applicable warranties or warranty disclaimers for TI products. Unless TI explicitly designates a product as custom or customer-specified, TI products are standard, catalog, general purpose devices.

TI objects to and rejects any additional or different terms you may propose.

Copyright © 2026, Texas Instruments Incorporated

Last updated 10/2025