

핫 스왑 컨트롤러를 사용하여 48V AI 서버의 보호 문제 해결

Avishek Pal
Power Switches

Rakesh Panguloori
Power Switches

머리말

AI(인공 지능)와 머신 러닝의 발전으로 인해, 엔터프라이즈 서버는 대량의 데이터와 스토리지를 동시에 처리하면서 전력을 매우 많이 소모하게 되었습니다. 각 서버 마더보드의 정상 상태 전력 정격은 일반 서버의 1kW~2kW와 달리 5kW~6kW로 증가했습니다. 그러나 폼 팩터는 여전히 동일하므로 전력 밀도 증가에 대응하여 시스템을 설계해야 한다는 과제가 발생합니다. AI 서버에서 과도 부하의 부하 진폭, 회전율 및 주파수는 일반 서버에 비해 3~4배 증가했습니다.

그림 1에서는 입력이 핫 스왑 회로로 보호된 다음 모든 다운스트림 시스템 부하에 분산되는 48V 랙 서버의 일반적인 전력 분배를 보여줍니다.

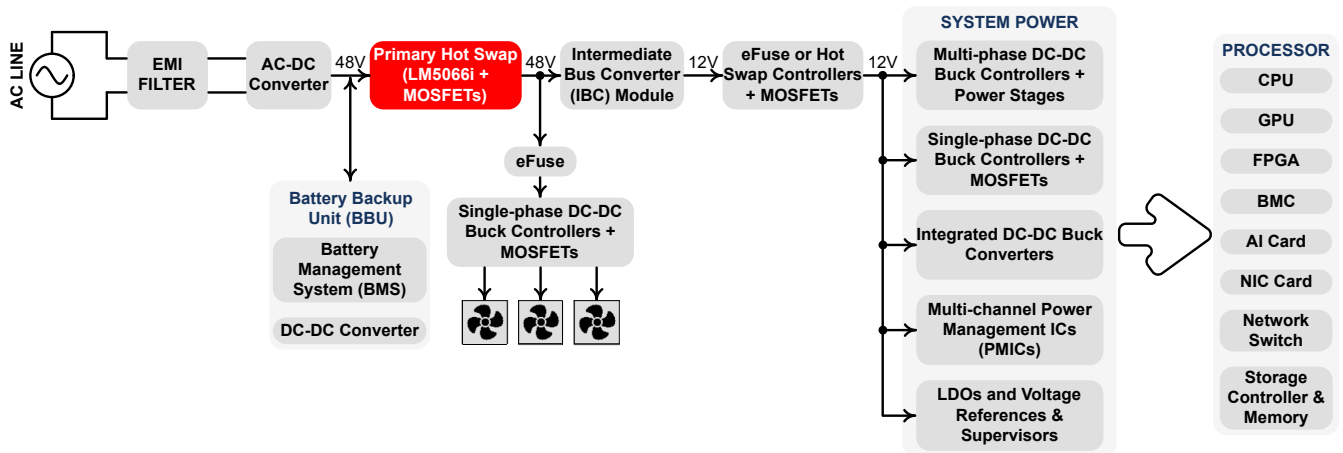


그림 1. 48V 랙 서버 전력 분배의 일반적인 블록 다이어그램.

이 문서에서는 AI 기반 프로세서가 48V 서버 설계에 가져 오는 다양한 과제를 논의하고, 표 1에 설명된 시스템 사양에 맞는 안정적인 핫 스왑 솔루션을 구현하기 위한 설계 및 레이아웃 지침과 중요한 팁과 요령을 소개합니다.

설계 매개 변수	값
입력 전압 범위	40V~60V
출력 커패시턴스	4.2mF
정상 상태 열 설계 전력 정격	6kW
과도 전력 정격	8kW(400μs)
과도 부하 프로파일	10% 듀티 사이클로 과도 전력 등급의 15%~100%
부하 회전을	>2A/μs
과도 부하 주파수	>1kHz

표 1. 일반적인 시스템 사양.

48V AI 서버를 위한 핫 스왑 회로 설계의 어려움

핫 스왑 회로 구성이 몇 년 동안 어떻게 진화해 왔는지 살펴보면 참 흥미롭습니다. 핫 스왑 솔루션은 주 전원 제어 스위치 역할을 하는 N 채널 MOSFET(고속 산화막 반도체 전계 효과 트랜지스터), 전류를 측정하는 감지 저항, MOSFET의 통과 전류를 제어하기 위한 루프를 완료하는 전류 감지 증폭기가 포함된 핫 스왑 컨트롤러라는 세 가지 주요 부품으로 구성됩니다.

그림 2에서 볼 수 있듯이 저전력 설계에 하나의 MOSFET 기반 핫 스왑 솔루션을 사용할 수 있습니다. 기본적으로 핫 스왑 컨트롤러에는 돌입 및 고장 전류를 제한하면서 MOSFET의 SOA(안전 작동 영역)를 보장하는 전류 및 전력 제한 기능이 제공됩니다. 이러한 기능은 저전력(<500W) 핫 스왑 솔루션을 설계하는 데 충분합니다.

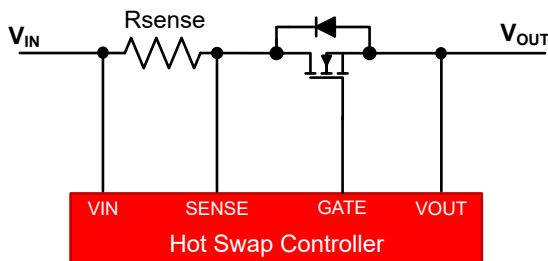


그림 2. 기존의 전원 제한 핫 스왑 회로.

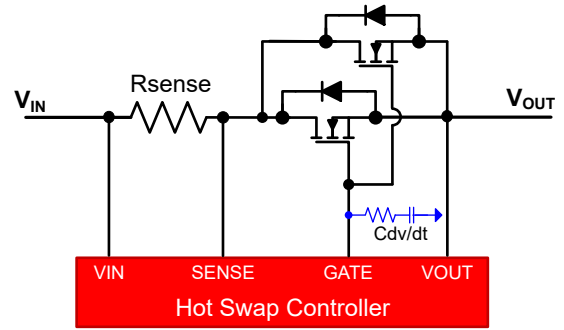


그림 3. 게이트 회전을 제어하는 핫 스왑 회로.

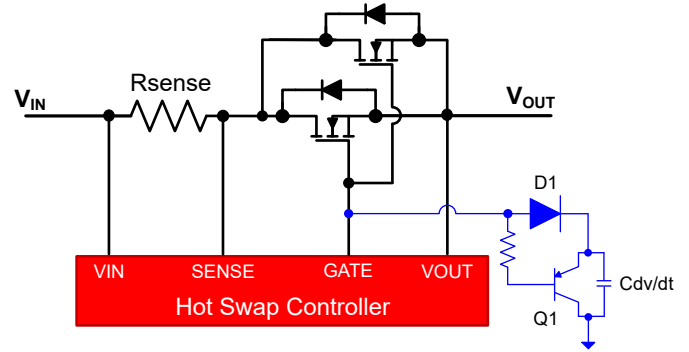


그림 4. Cdv/dt용 로컬 방전 경로를 지원하는 핫 스왑 회로.

디지털 부하가 증가함에 따라 시스템에는 더 높은 출력 커패시턴스(>470μF)가 필요하며, 이를 위해 정상 상태 전류를 지원하는 병렬 MOSFET와 MOSFET를 SOA 내로 유지하기 위한 출력 전압 회전을 제어[1]의 채택이 필요합니다.

출력 전압 회전을 제어 방법에서 게이트-GND 전체에 배치된 커패시터 C_{dv/dt}(그림 3 참조)는 게이트 및 출력 전압의 회전을 제한하며, 이는 돌입 전류를 제한합니다. MOSFET은 내부 전력 손실이 줄어들고 더 긴 시간에 걸쳐 분산될 때 더 많은 에너지를 처리할 수 있습니다. 따라서 출력 커패시턴스가 증가할 때 시동 시 MOSFET의 돌입 전류와 전력 손실을 모두 줄이려면 C_{dv/dt}를 더 높여야 합니다.

C_{dv/dt}가 더 높은 경우, 턴오프 프로세스에 방해가 되지만 핫 스왑 컨트롤러의 풀다운 강도가 제한됩니다. 이를 위해서는 그림 4에 나와 있는 것처럼 C_{dv/dt}용 로컬 PNP(P-채널 N-채널 P-채널) 기반 방전 회로가 필요합니다. 시동 중에는 C_{dv/dt}가 같은 방식으로 회전을 제어하지만, 턴오프 이벤트 중에는 Q1 PNP 트랜지스터가 활성화되어 C_{dv/dt}를 로컬로 방전합니다. 다이오드 D1은 게이트 핀으로의 C_{dv/dt} 방전을 차단하므로 게이트 핀의 스트레스를 줄이고 컨트롤러의 적절한 작동을 보장합니다.

AI 기반 그래픽 처리 장치 애플리케이션에서 핫 스왑 솔루션은 약 150A의 전류를 지원해야 하며, 고주파, 고회전율 부하 과도현상을 지원해야 합니다. 이러한 요구사항으로 인해 세 가지 새로운 과제가 제기됩니다.

과제 1: 출력 단락 동안의 턴오프 지연

부하 전류가 증가하면 최대 정상 상태 MOSFET 접합부 온도를 안전한 값(100°C~125°C)으로 제한하기 위해 더 많은 MOSFET을 병렬로 연결해야 합니다. 예를 들어 70°C의 주변 온도에서 150A의 정상 상태 부하 전류를 지원하려면, TI(텍사스 인스트루먼트) CSD19536KTT MOSFET 8개가 병렬로 연결되어야 정상 상태 MOSFET 접합부 온도를 100°C로 제한할 수 있습니다. 병렬로 연결된 MOSFET은 열적으로 도움이 되지만 핫 스왑 컨트롤러의 게이트 핀에서 유효 커패시턴스를 높이고 턴오프 대응에 영향을 미칩니다.

출력 단락 시, 고장 전류가 추가로 축적되는 것을 방지하고 MOSFET, 입력 전원 공급 장치 또는 PCB(인쇄 회로 보드)의 손상을 방지할 수 있을 만큼 MOSFET을 충분히 빠르게 꺼야 합니다. TI LM50661 핫 스왑 컨트롤러의 게이트 폴다운 강도는 160mA로 제한되며, 이는 단락 이벤트 중에 모든 MOSFET 8개를 완전히 끄기에는 충분하지 않습니다(그림 5 참조).

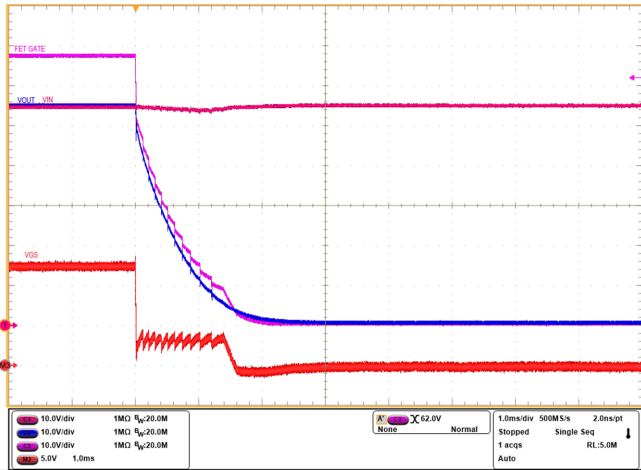


그림 5. MOSFET 8개가 함께 사용된 LM50661 컨트롤러의 단락 대응.

과제 2: 부하 과도 현상 중 의도치 않은 게이트 턴오프

Cdv/dt를 위한 로컬 PNP 기반 방전 회로는 출력 단락 이벤트 중에 MOSFET을 안정적으로 끄는 데 도움이 되지만, 고주파, 고회전율 부하 과도 현상이 있으면 의도치 않은 게이트 턴오프를 유발합니다. 부하 스텝업 동안 핫 스왑 회로의 유한한 입력 및 출력 임피던스로 인해 MOSFET 소스 노드의 전압이 떨어집니다. 소스 노드의 전압 강하는 MOSFET의 CGS 커패시턴스를 통해 MOSFET 게이트 노드로 커플링되어 게이트 노드의 전압도 함께 떨어지게 합니다. MOSFET 소스 노드는 부하 스텝다운 중에 복구됩니다. LM50661 핫 스왑 컨트롤러의 제한된 게이트 전류(일반적으로 20µA)로 인해 게이트 노드를 이전 레벨로 완전히 복구할 수 없습니다. 따라서 핫 스왑 컨트롤러 게이트는 후속 부하 과도 사이클에서 계속 더 낮아져 Q1에 베이스-이미터 전압을 생성합니다. 마지막으로 PNP 양극성 접합 트랜지스터 Q1이 켜지고 시스템을 잘못 켜둔 것입니다. 그림 6에서는 전체 프로세스를 보여주며, 그림 7에서는 해당 테스트 결과를 보여줍니다.

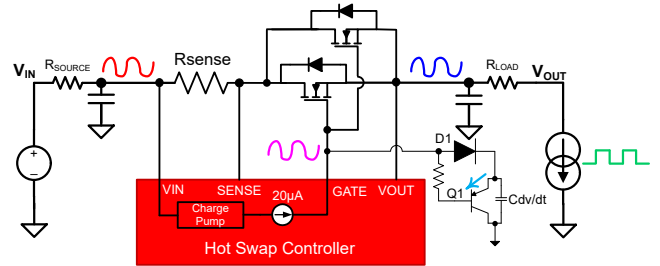


그림 6. 동적 부하에 대한 핫 스왑 회로의 그림.

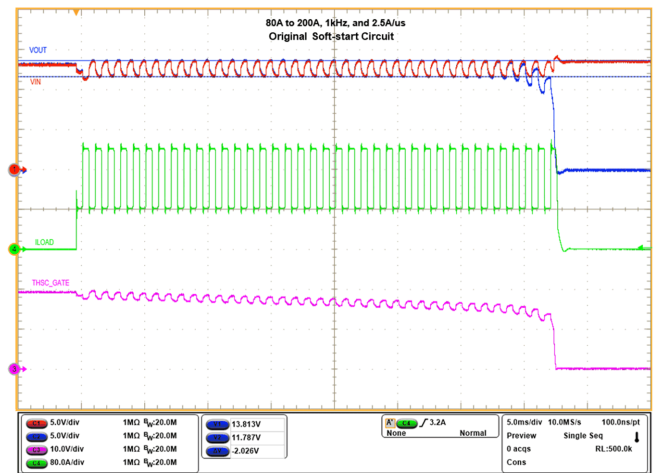


그림 7. 동적 부하에 대한 핫 스왑 회로의 응답.

과제 3: 제어된 (느린) 턴온 시 병렬 공진

일반적으로 병렬 MOSFET은 선형 작동 영역에서 단일 MOSFET보다 기생 오실레이션이 더 발생하기 쉽습니다. 이는 드레인, 소스 및, 게이트 노드에 존재하는 기생 스트레이 패키지 인덕턴스와 커패시턴스가 Colpitts 오실레이터와 비슷한 공진 탱크 회로를 형성하기 때문입니다. 게이트 드라이브 강도가 2A를 초과하는 스위칭 레귤레이터와 달리, 게이트 드라이브 강도가 낮은(20 μ A) 핫 스왑 컨트롤러는 선형 영역에서 MOSFET을 작동시켜 시동 시 돌입 전류를 제한합니다. 따라서 핫 스왑 MOSFET의 병렬 조합은 매우 취약하며 지속적인 진동을 생성할 가능성이 더 높습니다. 이 현상은 단락으로 전원이 공급되는 고장 상황에서 MOSFET의 SOA(안전 동작 영역)를 위반하게 만들어 결국 MOSFET 손상을 초래합니다.

제안된 회로 개선 사항

이 세 가지 과제를 해결하는 데 도움이 되는 회로 개선 사항에 대해 알아보겠습니다.

턴오프 대응 개선

그림 8에 나와 있는 제안된 솔루션에서 -PNP 트랜지스터(Q_{PD} 및 R_{PD})를 사용하는 외부 고속 풀다운 회로를 도입하면 턴오프 속도가 빨라집니다. 출력 단락 이벤트 동안 160mA의 게이트 풀다운 전류는 R_{PD} 저항 전체에서 상당한 전압 강하를 생성하여 PNP 트랜지스터(Q_{PD})의 빠른 풀다운을 지원합니다. 이렇게 되면 모든 병렬 MOSFET의 게이트-소스가 단락되어 MOSFET을 즉시 끄고 전원 경로를 신속하게 분리합니다. 그림 9에서는 빠른 풀다운 회로에서 단락 이벤트가 발생할 경우의 실험 결과를 보여줍니다.

동적 부하 시 의도치 않은 턴오프 문제 해결

그림 8에서도 나와 있듯이, 이 솔루션에서 핫 스왑 게이트 노드는 D_{SS} 다이오드를 사이에 배치하여 MOSFET 게이트 단자에서 디커플링됩니다. 이렇게 변경하면 핫 스왑 컨트롤러 게이트 노드로의 출력 전압 리플의 반사를 제거하고 소프트 시작 PNP 트랜지스터 Q_{SS}의 의도치 않은 턴오프를 방지하는 데 도움이 됩니다. 다이오드의 위치를 변경해도 시동 시 컨트롤러 동작이나 오류 이벤트에 영향을 주지 않습니다. 테스트 결과(그림 10 참조)에서 볼 수 있듯이 시스템은 20A에서 120A로의 큰 부하 변화에서도 1kHz 주파수로 지속적으로 작동합니다.

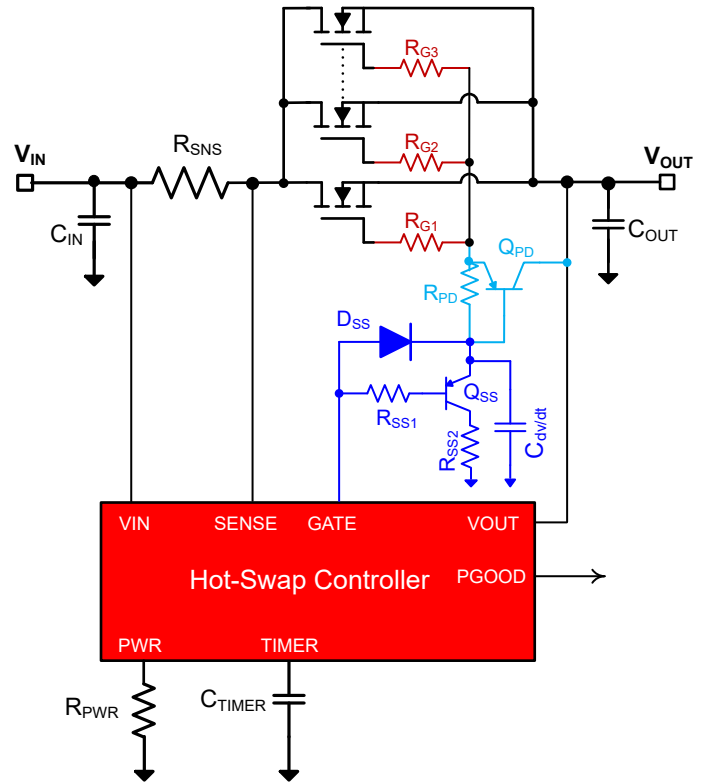


그림 8. 제안된 핫 스왑 회로 구성.

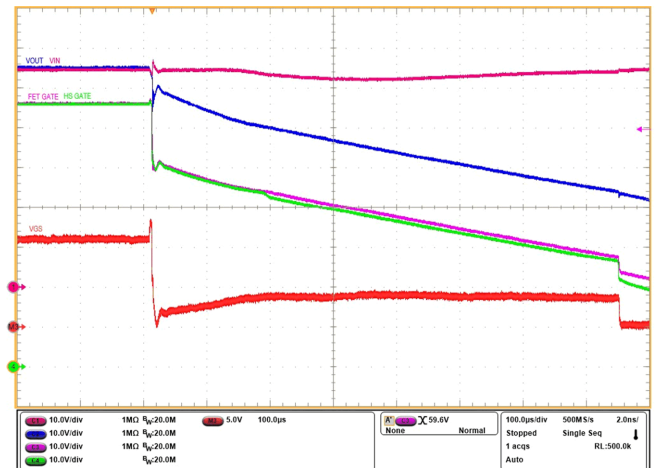


그림 9. 빠른 풀다운 회로를 사용한 출력 단락 대응.

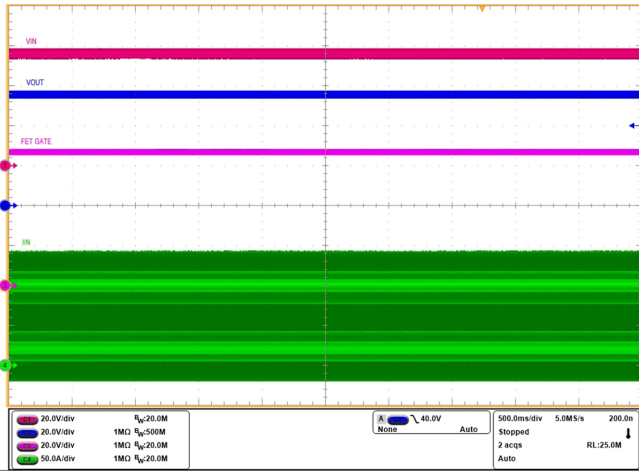


그림 10. 1kHz 주파수에서 20A에서 120A로, 다시 20A로의 단계적 부하 변화에 대한 과도 응답 성능.

기생 진동 감소

각 MOSFET의 게이트와 직렬로 댐핑 저항(R_{G1} , R_{G2} , R_{G3})을 추가하면 시스템의 기생 오실레이션을 제거할 수 있습니다. 일반적으로 TI에서는 10Ω 0603 패키지 저항을 권장하지만 기생에 따라 1Ω 정도의 낮은 값도 도움이 될 수 있습니다. PCB에서 테스트하고 댐핑 저항의 값을 결정하는 것이 좋습니다.

설계 가이드라인 및 부품 선택

레퍼런스 [1]는 시스템 및 MOSFET을 보호하기 위한 핫 스왑 회로를 설계하는 절차를 반복 개선합니다. 레퍼런스 [1]를 검토하여 설계에 익숙해지는 것이 좋습니다.

표 1에 표시된 시스템 사양을 **LM5066I 설계 계산기**에 입력하면 전류 감지 저항(R_{SNS}), 전력 제한 저항(R_{PWR}), 오류 타이머 커패시터(C_{TIMER}), 소프트 시작 커패시터($C_{dv/dt}$) 및 병렬로 연결해야 하는 선택한 MOSFET의 개수(N) 값을 얻을 수 있습니다. **48V 인공 지능 서버를 위한 8kW 핫 스왑 레퍼런스 설계** [2]에서 $R_{SNS} = 330\mu\Omega$, $R_{PWR} = 28.7k\Omega$, $C_{TIMER} = 10nF$, $C_{dv/dt} = 47nF$, $N = 8$ 입니다.

방정식 1을(를) 보고 **그림 8**을(를) 사용하여 R_{PD} 저항을 선택합니다.

$$R_{PD} > \frac{V_{BE(sat)}}{I_{GATE(CB)}} \quad (1)$$

여기서 $V_{BE(sat)}$ 는 Q_{PD} PNP 트랜지스터의 베이스-이미터 포화 전압이고, $I_{GATE(CB)}$ 는 LM5066I 핫 스왑 컨트롤러의

POR(Power-On Reset) 회로 차단기 싱크 전류입니다. 8kW 핫 스왑 레퍼런스 설계는 R_{PD} 값 = 20Ω을 사용합니다.

$C_{dv/dt}$ 방전 회로

그림 8은(는) D_{SS} 에 100V 신호 다이오드를 사용합니다. 다이오드는 수십 밀리암페어의 순방향 전류를 처리해야 합니다. 8kW 핫 스왑 레퍼런스 설계는 Diodes Inc.의 BAV16W-7-F를 사용합니다.

턴오프 중에 세 가지 부품 중 어느 것도 스트레스를 받지 않도록 R_{SS1} , R_{SS2} 및 Q_{SS} 를 반복적으로 선택해야 합니다. Q_{SS} 의 경우, 콜렉터-이미터(V_{CEO}) 및 콜렉터-베이스(V_{BEO}) 전압이 > 100V_{DC}이고 연속 콜렉터 전류가 > 200mA인 표준 PNP 트랜지스터를 선택할 수 있습니다. R_{SS1} 및 R_{SS2} 에 대한 값과 해당 전원 정격을 선택하여 Q_{SS} 트랜지스터를 통해 흐르는 전류를 안전한 값으로 제한합니다. 턴오프 중에 과도 피크 전력 스트레스를 관리하려면 R_{SS2} 에 특수 고전력 저항을 사용해야 합니다. 8kW 핫 스왑 레퍼런스 설계는 Q_{SS} 에 onsemi MMBT5401LT1G를 사용하며, $R_{SS1} = 100\Omega$ 이고 $R_{SS2} = 499\Omega$ 입니다(Vishay RCS0805499RFKEA).

입력 핫플러그 및 출력 단락 이벤트 동안 과도 과전압으로부터 보호하기 위해 입력 TVS(과도 전압 억제) 다이오드가 필요합니다. TI **TVS 다이오드 권장 톨**은 TVS 다이오드의 부품 번호(전압 및 전원 정격)와 병렬로 연결할 TVS 다이오드 수를 획득하는 데 도움이 됩니다. 8kW 핫 스왑 레퍼런스 설계는 Littelfuse 8.0SMDJ60A TVS 다이오드 3개를 사용합니다. TVS 다이오드 선택에 대한 자세한 분석은 레퍼런스 [3]를 참조하십시오.

출력 단락 이벤트가 발생할 경우 음의 과도 현상으로부터 핫 스왑 컨트롤러의 출력 핀을 보호하기 위해 출력 쇼트키 다이오드가 필요합니다. 8kW 핫 스왑 레퍼런스 설계는 onsemi FSV20100V 쇼트키 다이오드 3개를 사용합니다.

결론

새롭게 부상하는 48V AI 서버는 기존 서버보다 피크 및 정상 상태에서 훨씬 더 많은 전력을 요구합니다. 높은 전력 소비와 함께 빠르고 과도적인 동적 특성으로 인해 핫 스왑 컨트롤러와 병렬 MOSFET을 사용한 프론트 엔드 보호 설계에 어려움이 발생합니다. 이러한 과제에는 실제 고장 상황에서 병렬 MOSFET의 빠른 턴오프와 더불어, 연산 부하

로 인한 고주파 과도 현상에서의 의도치 않은 턴오프 방지가 포함됩니다. 이 문서에서 제안된 솔루션을 통해 기존 핫스왑 컨트롤러의 한계를 없애고 48V AI 서버를 위한 안정적인 입력 보호 솔루션을 설계할 수 있습니다.

참고 자료

1. Rogachev, Artem. “**견고한 핫스왑 설계.**” 텍사스 인스트루먼트 애플리케이션 보고서, 문서 번호 SLVA673A, 2014년 4월.
2. 텍사스 인스트루먼트. “**48V 인공 지능 서버를 위한 8kW 핫스왑 레퍼런스 설계.**” 텍사스 인스트루먼트 테스트 보고서, 문서 번호 PMP23496, 2024년 8월.
3. Hegarty, Timothy. 2011년. “TVS Clamping in Hot-Swap Circuits.” Power Electronics Technology, October 2011.

관련 웹사이트

- [LM5066I](#)
- [PMP23496](#)

중요 알림: 이 문서에 기술된 텍사스 인스트루먼트의 제품과 서비스는 TI의 판매 표준 약관에 의거하여 판매됩니다. TI 제품과 서비스에 대한 최신 정보를 완전히 숙지하신 후 제품을 주문해 주시기 바랍니다. TI는 애플리케이션 지원, 고객의 애플리케이션 또는 제품 설계, 소프트웨어 성능 또는 특허권 침해에 대해 책임을 지지 않습니다. 다른 모든 회사의 제품 또는 서비스에 관한 정보 공개는 TI가 승인, 보증 또는 동의한 것으로 간주되지 않습니다.

모든 상표는 해당 소유권자의 자산입니다.

IMPORTANT NOTICE AND DISCLAIMER

TI PROVIDES TECHNICAL AND RELIABILITY DATA (INCLUDING DATA SHEETS), DESIGN RESOURCES (INCLUDING REFERENCE DESIGNS), APPLICATION OR OTHER DESIGN ADVICE, WEB TOOLS, SAFETY INFORMATION, AND OTHER RESOURCES "AS IS" AND WITH ALL FAULTS, AND DISCLAIMS ALL WARRANTIES, EXPRESS AND IMPLIED, INCLUDING WITHOUT LIMITATION ANY IMPLIED WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE OR NON-INFRINGEMENT OF THIRD PARTY INTELLECTUAL PROPERTY RIGHTS.

These resources are intended for skilled developers designing with TI products. You are solely responsible for (1) selecting the appropriate TI products for your application, (2) designing, validating and testing your application, and (3) ensuring your application meets applicable standards, and any other safety, security, regulatory or other requirements.

These resources are subject to change without notice. TI grants you permission to use these resources only for development of an application that uses the TI products described in the resource. Other reproduction and display of these resources is prohibited. No license is granted to any other TI intellectual property right or to any third party intellectual property right. TI disclaims responsibility for, and you will fully indemnify TI and its representatives against, any claims, damages, costs, losses, and liabilities arising out of your use of these resources.

TI's products are provided subject to [TI's Terms of Sale](#) or other applicable terms available either on [ti.com](https://www.ti.com) or provided in conjunction with such TI products. TI's provision of these resources does not expand or otherwise alter TI's applicable warranties or warranty disclaimers for TI products.

TI objects to and rejects any additional or different terms you may have proposed.

Mailing Address: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated